

Jaakko Lenkkeri, Tero Marjamaa, Tuomo Jaakola,  
Mikko Karppinen & Terho Kololuoma

## Tulevaisuuden elektroniikan pakkaus- ja komponenttitekniikat



# **Tulevaisuuden elektroniikan pakkaus- ja komponenttitekniikat**

Jaakko Lenkkeri, Tero Majamaa, Tuomo Jaakola,  
Mikko Karppinen & Terho Kololuoma

VTT Elektronikka



ISBN 951-38-6183-X (URL: <http://www.vtt.fi/inf/pdf/>)  
ISSN 1455-0865 (URL: <http://www.vtt.fi/inf/pdf/>)

Copyright © VTT 2003

**JULKAISIJA – UTGIVARE – PUBLISHER**

VTT, Vuorimiehentie 5, PL 2000, 02044 VTT  
puh. vaihde (09) 4561, faksi (09) 456 4374

VTT, Bergsmansvägen 5, PB 2000, 02044 VTT  
tel. växel (09) 4561, fax (09) 456 4374

VTT Technical Research Centre of Finland, Vuorimiehentie 5, P.O.Box 2000, FIN-02044 VTT, Finland  
phone internat. + 358 9 4561, fax + 358 9 456 4374

VTT Elektronikka, Kaitoväylä 1, PL 1100, 90571 OULU  
puh. vaihde (08) 551 2111, faksi (08) 551 2320

VTT Elektronik, Kaitoväylä 1, PB 1100, 90571 ULEÅBORG  
tel. växel (08) 551 2111, fax (08) 551 2320

VTT Electronics, Kaitoväylä 1, P.O.Box 1100, FIN-90571 OULU, Finland  
phone internat. + 358 8 551 2111, fax + 358 8 551 2320

Lenkkeri, Jaakko, Majamaa, Tero, Jaakola, Tuomo, Karppinen, Mikko & Kololuoma, Terho. Tulevaisuuden elektroniikan pakkaus- ja komponenttitekniikat [Packaging and component technologies of future electronics]. Espoo 2003. VTT Tiedotteita – Research Notes 2213 78 s. + liitt. 4 s.

**Avainsanat** electronics packaging, component technologies, miniaturisation, increasing modularity

## Tiivistelmä

Julkaisussa selvitetään tulevaisuuden elektroniikan pakkaus- ja komponenttitekniikoiden kehitystä niin kansainvälisesti kuin kansalliseltakin pohjalta. Painopisteenä ovat elektroniikassa dominoivassa asemassa oleva miniaturisointikehitys ja sen aiheuttamat tarpeet tekniikkoihin pitkällä aikavälillä.

Julkaisussa käydään läpi tärkeimpiä elektroniikan toteutusteknologioita sja niiden kehitysodotuksia ja -tarpeita sekä näiden suhdetta laitteiden suorituskyvyn nostamiseen, muisti- ja tallennuskapasiteetin lisäämiseen, signaali-integriteettiin sekä luotettavuuteen.

Tärkeimmät kehityskohteet, joihin dimensioiden pientymisen ja toleranssivaatimusten kasvun lisäksi selvityksen perusteella on päädytty, painottuvat laitteiden modulaarisuuden lisääntymiseen, yhä uusien elektroniikka-, ftoniikka ja mekaanisten komponenttien yhdistämiseen, moniteknisyyttä tukevien 3D-suunnittelu- ja testaustyökalujen ja menetelmien kehittämiseen sekä uusien materiaalien käyttöönottoon.

Lenkkeri, Jaakko, Majamaa, Tero, Jaakola, Tuomo, Karppinen, Mikko & Kololuoma, Terho. Tulevaisuuden elektroniikan pakkaus- ja komponenttitekniikat [Packaging and component technologies of future electronics]. Espoo 2003. VTT Tiedotteita – Research Notes 2213. 78 p. + app. 4 p.

**Keywords** electronics packaging, component technologies, miniaturisation, increasing modularity

## **Abstract**

The report includes surveys of future trends in electronics packaging and component technologies from both international and national standpoints. The emphasis of the report is in the miniaturisation of electronics and in its consequences on technologies in the long term.

The report includes many of the most important technologies in electronics manufacturing, their expectations and needs as well as their relationship to the increasing effectiveness of electronics circuits, increasing memory and data storage capacity, signal integrity and reliability of the circuits.

Besides the trends of decreasing dimensions and increasing tolerance demands in electronics the most important targets of development are increasing modularity of devices, combining of electronics, photonics and mechanical components into same devices, development of new 3-dimensional design and testing tools and introducing new electronics materials.

# Alkusanat

Teknologian kehittämiskeskus Tekes tilasi VTT Elektronikalta toteutettavuustutkimuksen tulevaisuuden elektroniikan pakkaus- ja komponenttitekniikoista. Tarkoituksena oli selvittää miniatyrisoinnin aiheuttamat tarpeet tekniikkoihin pitkällä aikavälillä (5–10 ja yli 10 vuotta). Tutkimuksessa selvitettiin

- suorituskyvyn nostamista tehonkulutusta nostamatta
- muisti- ja tallennuskapasiteetin lisäämistä komponenttien liitäntäalan kasvamatta
- signaalien integriteetin säilymistä kasvavilla taajuuksilla
- luotettavuuden säilymistä yhä tiheämmillä alustoilla ja liitännöillä.

Elektroniikkalaitteiden lämmönhallintaan liittyviä kysymyksiä varten käynnistettiin erillinen rinnakkainen selvitys, joten niihin ei tässä selvityksessä erityisemmin paneuduta. Työ on tehty kevään 2003 aikana tutustumalla alan kirjallisuuteen ja kansainvälisiin road map -julkaisuihin, kartoittamalla alan asiantuntijoiden mielipiteitä mm. kyselyllä sekä tekemällä analyyskejä hankittuun tietoon perustuen. VTT Elektronikassa raportin työstämiseen ovat osallistuneet tekijöiden lisäksi mm. tutkimusjohtaja Harri Kopola, tekn. tri Pentti Karioja sekä erikoistutkija Kari Kautio. Kaikille kyselyyn vastanneille ja muulla tavalla palautteensa antaneille asiantuntijoille esitämme kiitokset arvokkaasta työpanoksesta.

# Sisällysluettelo

Tiivistelmä.....	3
Abstract.....	4
Alkusanat.....	5
Lyhenteitä ja termejä .....	9
1. Johdanto .....	11
2. Komponenttitekniikoiden kehityksestä.....	15
2.1 Piitekniologia.....	15
2.2 Yhdistepuolijohteet .....	21
2.3 Uudet komponenttityypit.....	21
3. Komponenttipakkausten kehitystrendit .....	23
3.1 Pakkauksen tehtävät .....	23
3.2 Kotelotyypit.....	25
3.3 Paljaiden puolijohteiden liittäminen liitosalustaan.....	27
4. Liitosalustojen kehitys .....	28
4.1 Perinteiset piirilevyt.....	30
4.2 Build-up- ja All-Layer-IVH-piirilevyt .....	32
4.3 Joustavat piirilevyt.....	34
4.4 Keraamiset monikerrosliitosalustat .....	35
4.5 Passiivien integrointi piirilevyyn.....	38
4.6 Optiikan integrointi piirilevyyn.....	39
4.7 Ohutkalvomonikerrosrakenteet .....	42
4.8 Painettava elektroniikka: mahdollisuudet ja haasteet.....	43
5. System on package -moduulitekniologiat .....	45
5.1 Systeemi mikropiirillä .....	45
5.2 Systeemi ”paketissa” .....	45
5.2.1 Pinotut rakenteet.....	47
5.2.2 Komponenttien integrointi substraattiin.....	47
6. Liitostekniikoiden kehitys.....	50
6.1 Juottaminen .....	50
6.2 Lankaliittäminen ja flip-chip-tekniikat.....	51
6.3 Liimaliittäminen .....	54



6.4	Suoraliitos.....	55
6.5	Optokomponenttien liittäminen.....	56
7.	Uusien elektroniikan toteutustekniikoiden haasteet pitkällä aikavälillä.....	58
7.1	Valmistustekniset haasteet.....	58
7.2	Suunnittelun haasteet.....	62
7.3	Haasteet testaukselle.....	63
7.4	Suorituskyvyn nostaminen tehonkulutusta kasvattamatta.....	64
7.5	Muisti- ja tallennuskapasiteetin lisääminen komponenttien liitäntäalan kasvattamatta .....	65
7.6	Signaalien integriteetin säilyminen yhä tiheämmillä alustoilla ja liitännöillä ..	65
7.7	Luotettavuuden säilyminen yhä tiheämmillä alustoilla ja liitännöillä.....	66
8.	Kyselytutkimuksen tulokset.....	68
9.	Kehityskohteet elektroniikan komponenttien pakkaus- ja liitostekniikoissa.....	73
9.1	Yleisiä suosituksia.....	73
9.2	Kehityskohteita elektroniikan toteutustekniikoissa.....	74
	Lähdeluettelo .....	77

Liite A: Kyselykaavake

## Lyhenteitä ja termejä

$\kappa$	dielektrisyysvakio
BCB	bentsosyklobuteeni (Benzocyclobutene)
CTE	lämpölaajenemiskerroin (Coefficient of Thermal Expansion)
EMI	sähkömagneettinen interferenssi (Electro Magnetic Interference)
EMC	sähkömagneettinen yhteensopivuus (Electro Magnetic Compatibility)
FR-4	tavallisesti käytetty lasi-epoksipohjainen piirilevymateriaali
LSI	Large Scale Integration
n/a	"ei saatavilla"
PTFE	Teflon (Polytetrafluoroetyleni)
$T_g$	Lasittumislämpötila
UV	ultravioletti
ASIC	"Application Specific IC" – sovelluskohtainen piiri; suomessa yleensä "asiakaspiiri"
CMOS	Complementary MOS
DRAM	Dynamic Random Access Memory
DFT	"Design For Testability"
IC	integroitu piiri (Integrated Circuit)
I/O	Input/Output
KGD	"Known Good Die"
MEMS	MikroElektroMekaaninen Systemi
MOS	metalli-oksidi-puolijohderakenne
MOSFET	MOS-kenttävaikutustransistori
MPU	MicroProcessor Unit
OLED	Orgaaninen valoa emittoiva diodi
Pitch	(minimi) viivanleveys + viivojen välinen etäisyys (linewidth + spacing)
PC	Personal Computer
RF	radiotaajuus (Radio Frequency)
RTD	resonanssitunnelidiodi
SET	"yhden elektronin transistori" (Single Electron Transistor)
Substrate	substraatti: alusta, jolle mikropiiri tai muut käytettävät komponentit kiinnitetään
VCSEL	Vertical Cavity Surface Emitting Laser

BGA	Ball Grid Array
CIB	Chip in Board
COB	Chip on Board
CSP	Chip Size(/Scaled) Package
FBGA	Fine pitch BGA
FC	Flip Chip
FLGA	Fine-pitch Land Grid Array
FPC	Flexible Printed Circuit board
FRPC	Flexible Rigid Printed Circuit board
HTCC	High Temperature Co-fired Ceramics
IMB	Integrated Module Board
IVH	Interstitial Via Hole (in PWB)
LAP	Large Area Panels
LCCC	Leadless Ceramic Chip Carrier
LGA	Land Grid Array
LTCC	Low Temperature Co-fired Ceramics
MCM	Multi Chip Module
MCM-D	Deposited; thin film on typically ceramic or silicon substrate; separate substrate base
MCM-D/C	Deposited layers on co-fired ceramics; typically ground/DC in ceramic, signals in deposited layers
MLC	MultiLayer Ceramic
SMT	Surface Mount Technology
PWB	Printed Wiring Board
QFP	Quad Flat Package
SCP	Single Chip Package
SIP	System in Package
SMT	Surface Mount Technology
SOIC	Small Outline IC
SOC	System on a Chip
SOP	System on a Package
TAB	Tape Automated Bonding
WLP	Wafer Level Packaging

# 1. Johdanto

Elektroniikan kehityksessä on jo lähes sadan vuoden ajan vallinnut yhteys keksintöjen ja teknologisten innovaatioiden toisaalta ja maailmaa mullistavien tietoliikennesovellusten välillä (Kuva 1.1). Elektroniputken kehittäminen 1900-luvun alussa ja transistorin kehittäminen 1940-luvun lopussa ovat innovaatioita, jotka ovat vaikuttaneet merkittävästi elektroniikan kehitykseen. Elektroniputken kehitys mahdollisti langattoman radio-liikenteen laajamittaisen soveltamisen. Transistorin kehityksestä taas oli seurauksena televisiotekniikan läpimurto 1950-luvulla. Kun 1960-luvun lopulla alkaneen kehitystyön kautta opittiin toteuttamaan kokonaisia piirejä yhdelle piisirulle, alkoi uusi vaihe elektroniikan kehityksessä. Integroitujen piirien eli IC-piirien kautta alkoi varsinainen mikroelektroniikan aikakausi, jonka merkittävimpiä sovelluksia olivat tietokoneet, aluksi suuret keskustietokoneet ja myöhemmin henkilökohtaiset tietokoneet. 1980- ja 1990-luvuilla tapahtuneessa kannettavien tietoliikennelaitteiden kehityksessä korostui elektroniikan liitos- ja pakkaustekniikan merkitys. Oikeiden liitos- ja pakkaustekniikoiden valinta on avainasemassa toteutettaessa pienikokoisia miniatyrisoituja tuotteita massatuotantomenetelmillä.



Kuva 1.1. Tietoliikennealan sovellukset ja niitä tukevat innovaatiot ja tekniikat.

Mikroelektroniikkateollisuuden voittokulun on mahdollistanut integroitujen piirien massatuotantomenetelmä, joka perustuu muutamaankin periaatteeseen hyvin yksinkertaiseen prosessivaiheeseen. Kehitys on painottunut hyvin voimakkaasti kahteen pääteemaan: dimensioiden pienentämiseen, jolla saadaan komponentit entistä nopeammiksi ja yhä suurempia kokonaisuuksia yhä pienempään tilaan, sekä yksikkökoon (piikiekkojen koon) kasvattamiseen, jolla pystytään kasvattamaan yhtäaikaaisesti prosessoitavien piirien määrää ja näin kasvattamaan linjan kapasiteettia ja pienentämään yksikkökohtaisia tuotantokustannuksia. Kuuluisan Mooren lain mukaan transistoreiden määrä mikropiirillä kaksinkertaistuu 18 kuukauden välein; joskin jatkossa painotetaan enemmän lasikutoimitusten määrän kasvua pinta-alaa tai yksikköhintaa kohti (Ourmazd 1999). Muisti- ja tallennuskapasiteetin kehityksessä ratkaisevassa asemassa on nimenomaan mikropiirivalmistuksen kehitys. Ratkaisevaa on, pystytäänkö luotettavasti valmistamaan entistä pienempiä piirejä (mm. litografia, ohutkalvotekniikat, uudet puolijohdemateriaalit, nanokomponentit) ja saadaanko kehitettyä mm. uusia eristemateriaaleja ja pienihäviöisiä johtimia. Atomaaristen dimensioiden ja prosessilaitteiden ominaisuuksien rakenteiden koolle asettamat rajat tulevat kuitenkin yhä lähemmäksi, joten alan kehityksen jatkumisen kannalta uusien komponenttien kehitys sekä uusien materiaalien käyttöönotto ovat nousseet yhä voimakkaammin esille.

Vaikka piipohjainen CMOS-tekniikka tulee pitkään säilymään valtateknologiana, sen rinnalle on kehittynyt ja ollaan kehittämässä uusia tekniikoita erikoissovelluksiin. Hyvin korkeissa taajuuksissa tarvitaan piitekniikan sijasta yhdistepuolijohdekomponentteihin perustuvia teknologioita, kuten GaAs- ja SiGe-teknologioita. Sovelluksissa, joissa suorituskyvyn ja miniatyrisointivaatimusten asemasta tärkeämpää on halpa hinta, polymeerimateriaaleihin perustuvat komponenttitekniikat ovat hyvin potentiaalisia. Jo nyt massatuotannossa on mm. optoelektroniikkaan tai mikromekaniikkaan perustuvia komponentteja ja systeemejä. Biotekniikan analyysipuolelle on kehitetty puolijohdetekniikan valmistusmenetelmiä hyödyntäviä biosiruja. Nanokomponenttien kehitys jatkuu myös intensiivisenä (esim. "yhden elektronin transistori" SET, resonanssitunnelidiodi RTD, erilaiset optoelektroniset rakenteet sekä kemialliset anturit).

Teollisuudessa uusien teknologioiden käyttöönotto on usein varsin hidas prosessi. Esim. flip-chip-teknologia on kehitetty jo 1960-luvulla, mutta se ei vielä ole vakiintunut valtateknologiaksi. Ei riitä, että uudella teknologialla saavutetaan teknologista etua. Sen tulee myös olla hinnaltaan kilpailukykyinen. Tuotteen kannalta ajateltuna teknologiaksi ei kannata valita parasta mahdollista teknologiaa vaan "huonoin" (ja halvin) vielä mahdollinen teknologia. Uuden prosessointilaitesukupolven hinta on usein moninkertainen edelliseen verrattuna, joten teollisuudessa tämä siirtymä toteutetaan vasta, kun se koetaan pakoksi. Sovelluksesta riippuen on hyvin erilaisia tarpeita, joten osa nykyisinkin käytössä olevista menetelmistä ja laitteista käy suureen osaan sovelluksista vielä hyvin pitkään. Kokoonpanoteknologiassa tärkeimpinä kehitystrendeinä ovat dimensioiden

pieneneminen sekä toleranssivaatimusten kasvu. Suurimpina muutoksina näiden lisäksi ovat erilliskomponenttien määrän pieneneminen, rinnakkain käytettävien teknologioiden ja niiden vaatimusten kirjon kasvu sekä erityyppisten moduulien osuuden kasvu.

Elektroniikan kehityksessä miniatyrisointi ei kuitenkaan ole itsetarkoitus, vaan ajavana voimana ovat uudet sovellukset, jotka edellyttävät elektroniikan miniatyrisointia. Mobiilin tietoliikenteen kasvu on viime vuosina ollut erittäin merkittävä tekijä elektroniikan komponentti-, pakkaus- ja liitostekniikoiden kehityksessä. Tällä hetkellä ollaan siinä tilanteessa, että tavallisen kännykän koosta varsinaisen elektroniikan osuus on vain noin kymmenesosa. Käyttöliittymä, näyttö, mekaniikka, antenni ja teholähde vievät valtaosan tilavuudesta. Miniatyrisoinnin kehitys kuitenkin tekee mahdolliseksi lisätä huomattavasti laitteiden ominaisuuksia, kuten kuvan ja datan siirron kapasiteettia. Miniatyrisointia ja uudenlaisia kustannustehokkaita pakkausratkaisuja tarvitaan jatkossa myös mm. läsnä-äly-sovelluksissa, joissa pienikokoiset älykkäät anturit ja toimilaitteet ovat avainkomponentteja. Uudet polymeerielektroniikan valmistustekniikat mahdollistavat elektroniikan komponenttien integroimisen aivan uusiin käyttökohteisiin, kuten päivittäistavarapakkauksiin ja erityyppisiin painotuotteisiin.

Säännöllisin väliajoin laadittavissa kansainvälisissä "tulevaisuuskatsauksissa" esitetään välitavoitteita ja reunaehdoja sille, mitä tulee saavuttaa milloinkin, jotta nykyinen kehitys jatkuisi. Puolijohdeteollisuuden alueella ehkä kaikkein merkittävimpään asemaan on noussut International Technology Roadmap for Semiconductors (jatkoa Semiconductor Industry Associationin (SIA) vuosina 1992–1997 julkaisemalle National Technology Roadmap for Semiconductorsille). Kyseinen raportti arvioi eri teknologioiden ensimmäisen teollisen käyttöönoton ajankohtaa sillä perusteella, mitä teknologisia edistysaskelia tarvitaan odotettujen kehitystrendien jatkumiseksi. Raportin ennustavuus on osoittautunut erittäin hyväksi, seuraavien painosten korjaukset ovat olleet varsin pieniä, ja yleensä niin päin, että todellinen kehitys on osoittautunut hivenen ennakoitua nopeammaksi. Vuoden 2002 päivitys on ollut ilmeisesti ensimmäinen, jossa tätä kiihtyvää kasvua ei näy, mikä johtuu yleisestä heikosta taloudellisesta tilanteesta, joka on erityisesti iskenyt juuri elektroniikka-alaan. Ennusteen onnistuminen johtuu osittain puolijohdeteollisuuden voimakkaasta panostuksesta sen laatimiseen, osittain alan tasaisesta kehityksestä, mutta myös tämänkaltaisten raporttien itseohjaavasta vaikutuksesta. Alan kehityksen toteutuminen edellyttää hyvin monien toimijoiden synkronoituja panostuksia. Prosessilaittevalmistajat, puolijohdemateriaalivalmistajat, piirivalmistajat, komponenttivalmistajat, suunnittelutyökalut, piirisuunnittelijat, elektroniikkavalmistajat, standardien kehitys – näiden kaikkien tulee edetä tietoisina muiden osapuolien kehityksestä. Liian nopea edistys yhdellä alueella merkitsee hukattuja voimavaroja, kun taas jälkeen jääminen tarkoittaa markkinaosuuden menetystä. Näin ollen yrityksissä seurataankin erittäin tarkoin, mitä on tekeillä ja odotettavissa.

Julkaisussa tehdään aluksi kirjallisuustietoihin ja road-map-selvityksiin perustuvat katsaukset kehitystrendeihin aiheeseen sisältyvillä osa-alueilla eli komponenttitekniikoissa, komponenttien pakkaustekniikoissa, liitosalustoissa, system-on-package-moduulitekniikoissa ja liitostekniikoissa. Sen jälkeen käsitellään tarkemmin uusien elektroniikan toteutustekniikoiden haasteita pitkällä aikavälillä, tehdään analyysi kyselytutkimusten tuloksista ja esitetään lopuksi tutkimuksen perusteella esiin tulleita kehityskohteita.

## 2. Komponenttitekniikoiden kehityksestä

### 2.1 Piitekniologia

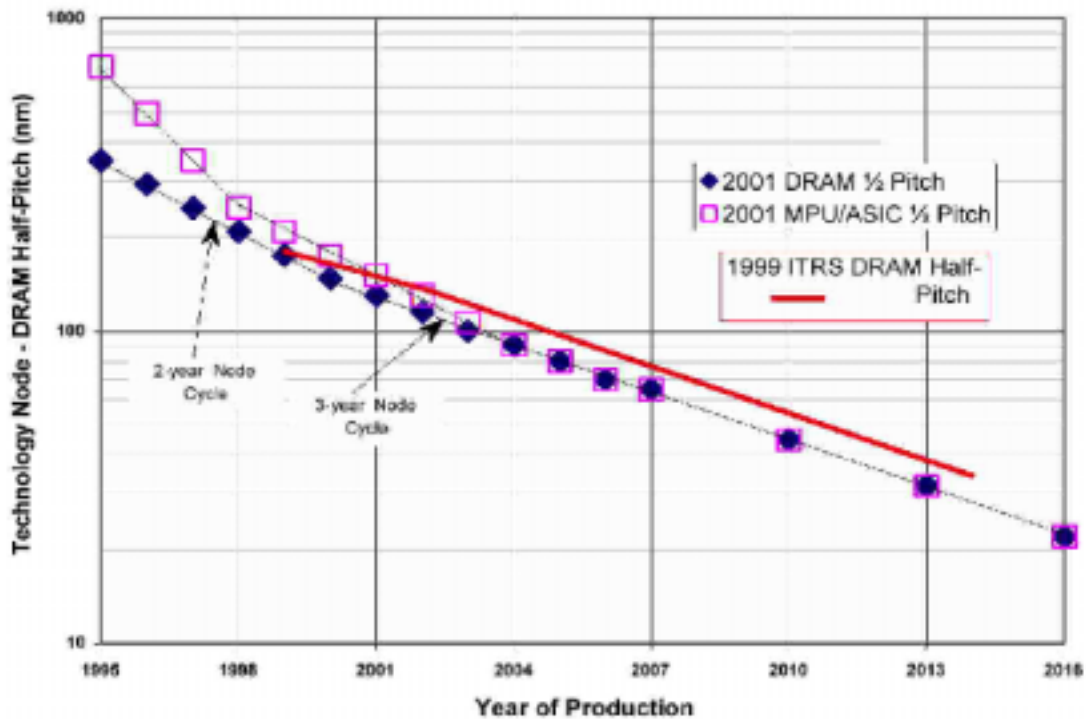
Viime vuosikymmenten elektroniikan kehityksessä dominoivassa asemassa on ollut nimenomaan pihhin perustuva mikropiirivalmistus, ja sitä kautta saavutettava komponenttien koon pieneneminen sekä laskenta- ja tallennuskapasiteetin kasvu. Alalla on jo pitkään harjoitettu erittäin voimakasta tutkimus- ja kehitystoimintaa, johon panostavat niin yksityiset yritykset, valtiot (esim. japanilainen MIRAI-projekti) kuin kansainväliset yhteisötkin (mm. EU:n puiteohjelmien painopistealueet "Tietoyhteiskunnan teknologiat" sekä "Nanotekniologia ja nanotieteet, älykkäät materiaalit ja uudet tuotantomenetelmät ja -laitteet"). Onkin odotettavissa, että sama kehitys jatkuu, joskin erilaiset tarpeet ajavat myös muiden elektroniikan alueiden kehitystä. Itse mikropiirisirujen kanssa, sen sijaan, ei odoteta merkittäviä muutoksia (Taulukko 2.1).

*Taulukko 2.1. Mikrosirujen koon kehitys [ITRS2002].*

<i>Year of Production</i>	<i>2002</i>	<i>2007</i>	<i>2013</i>	<i>2016</i>
Chip size (mm <sup>2</sup> )				
DRAM, introduction	308	568	373	186
DRAM, production	100	183	239	238
MPU, high volume at introduction	280	280	280	280
MPU, high volume at production	140	140	140	140
MPU, high performance	310	310	310	310
ASIC	800	572	572	572



### ITRS Roadmap Acceleration Continues...Half Pitch



Kuva 2.1. Viivanleveyden kehitys ajan funktiona [ITRS2001].

Mikropiireissä tärkeimpinä tunnuslukuina pidetään transistorien määrää sirulla sekä siihen läheisesti liittyvää minimiviivanleveyttä. Viime vuosikymmenet tämä kehitys on noudattanut Mooren lakia (Kuva 2.1), jonka mukaan transistoreiden määrä mikropiirillä kaksinkertaistuu 18 kuukauden välein. Kehityksen seurauksena sirujen kapasiteetti on kasvanut huimasti, ja sen odotetaan kasvavan edelleen (Taulukko 2.2). Tämä kehitys ei voi kuitenkaan jatkua loputtomiin, koska fysikaaliset rajat lähestyvät yhä nopeammin. Prosessoinnissa rajoittavina tekijöinä ovat kuviointimenetelmien resoluutio sekä dimensoiden lähestyminen atomaarista mittakaavaa.

Taulukko 2.2. DRAM-tuotanto – komponenttisukupolvet [ITRS2002].

Year of Production	2002	2007	2013	2016
Generation at production	512M	4G	32G	64G
Functions per chip (Gbits)	0.54	4.29	34.36	68.72
Gbits/cm <sup>2</sup> at production	0.54	2.35	14.35	28.85

Tällä hetkellä mikropiirien kuviointi suoritetaan pääasiassa ultraviolettivaloa käyttävän valolitografian avulla, jossa ollaan päästy hieman yli sadan nanometrin viivanleveyksiin ("pitch" = viivan, esim. johtimen, leveys + viivojen etäisyys). Rajoittavana tekijänä täs-

sä ovat käytetyn säteilyn aallonpituus sekä käytetyn optiikan tarkkuus. Aallonpituus asettaa minimikoon kuvioitavalle rakenteelle, joten periaatteessa tätä rajaa voidaan viedä kauemmaksi käyttämällä lyhyempiä aallonpituuksia. Nykyisin ollaan käytössä olevien UV-litografialaitteiden ääri rajoilla, ennen kaikkea niiden optisten komponenttien ominaisuuksien suhteen. Jonkin verran pienempiä dimensioita voidaan vielä valmistaa nykyiseenkin laitetekniikkaan perustuen siirtymällä lyhyemmän emissioaallonpituuden lamppuihin sekä kehittämällä linssien tarkkuutta, mm. uusia materiaaleja. Lisäkehitys edellyttää yleensä erikoistekniikoiden ja lisätoimintojen käyttöä (esim. kaksoisvalotus joiden välissä maskia siirretään puolen aallonpituuden verran sivusuunnassa). Kehityksen jatkuminen aiotunlaisena ensi vuosikymmenelläkin edellyttää siis uusien menetelmien kehittämistä tai nykyisten ominaisuuksien merkittävää parantamista (Taulukko 2.3). Itse asiassa jo vuonna 2010 pitäisi saavuttaa sellaiset dimensiot, että nykyisin ei vielä tiedetä, millaisilla valmistusteknisillä ratkaisuilla ne saadaan toteutettua [ITRS2001].

*Taulukko 2.3. DRAM-tekniikan kehitys [ITRS2002].*

<i>Year of Production</i>	2002	2007	2013	2016
DRAM cell size ( $\mu\text{m}^2$ )	0.106	0.025	0.0041	0.0019
DRAM storage cell dielectric: equivalent physical oxide thickness (nm)	1.8	0.22	0.028	0.01

*White – Manufacturable solutions exist, and are being optimized*

*Yellow – Manufacturable solutions are known*

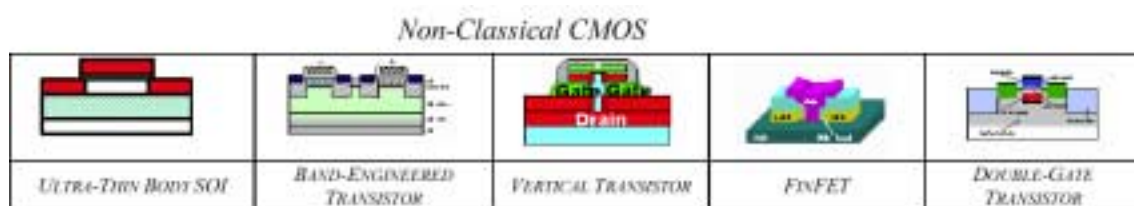
*Red – Manufacturable solutions are not known*

Kun puhutaan muutamista kymmenistä tai jopa muutamista nanometreistä, voidaan tietysti siirtyä käyttämään myös röntgen-, ioni- tai elektronisuihkulitografioita, joita jo käytetäänkin erikoissovelluksissa. Näiden haittapuolena on hinta: röntgenin käyttö edellyttää erikoismaskeja (ja resistejä), jotka ovat merkittävästi nykyisiä kalliimpia. Hiukkassuihkulitografioissa lisäkustannuksia aiheuttaa hitaudesta; suurten pinta-alojen käsitteleminen vie paljon aikaa. Myös painotekniikoita tutkitaan mahdollisina kuviointimenetelminä. Näissä pienimmät painettavat rakenteet ovat aavistuksen alle 10 nm luokkaa [Chou1997]. Näissä käytetään mikromekaniikkaa "painolevyjen" valmistamiseen. Tämä tietysti on myöskin oma kustannustekijänsä, minkä lisäksi kuvioitavien alueiden reunan laatu ei välttämättä ole kovin korkea ja paksujen rakenteiden, kuten myös ei-planaaristen pintojen, kuvioiminen on hankalaa.

Samalla kun viivanleveydet pienenevät, kiekkokoot kasvavat, joten prosessoinnin tarkkuus täytyy olla toistettavasti sama yhä suuremmalla pinta-alalla kerrallaan. Tässä kehityksen odotetaan kuitenkin olevan suhteellisen maltillista; kahdentoista tuuman kiekkoista (halkaisija 300 mm) siirryttäneen kahdeksantoista tuuman kiekkoihin (450 mm) ensi vuo-

sikymmenen vaihteessa ja niitä tultaneen käyttämään ainakin vuosikymmenen puoleen-  
väliin. Täytyy kuitenkin muistaa, että mainituissa viivanleveyksissä kyse on minimiar-  
voista, joita ei tarvita kaikessa piirikuvioinnissa, mikä helpottaa hieman tilannetta.

Lateraalisuunnan dimensioiden pienentymisen lisäksi myös vertikaalisuunnan rakenteet  
muuttuvat. Esimerkiksi perinteisen MOSFETin hilaoksidin paksuuden tulisi muuttua  
samassa suhteessa kuin kanavan pituuden. Tässä ollaan kuitenkin jo nyt lähellä atomaar-  
ista rajaa. Hilaeristeiden paksuudet ovat jo muutamassa nanometrissä, kun nanometriin  
mahtuu vain noin kolme molekyylikerrosta piidioksidia. Lisäksi mentäessä alle kolmen  
nanometrin tunnelointivirta kasvaa merkittäväksi, mikä heikentää komponenttien toi-  
mintaa ja luotettavuutta. Ehdottomasta alarajasta on useita mielipiteitä, mutta useimmat  
sijoittuvat välille 1–3 nm. Tästä syystä tutkitaan korkeamman dielektrisyysvakion eris-  
teitä, jolloin voitaisiin valmistaa paksumpia kerroksia, vaikka niiden sähköinen paksuus  
olisikin sama. Ongelmaksi muodostuu se, että muilla eristeillä kuin piidioksidilla raja-  
pinnan laatu ei ole riittävän hyvä, joten yleensä käytetään monikerrosrakennetta, jossa  
pii-eristerajapinnassa on n. 1 nm piidioksidia, jonka päällä on esim. piinitridiä. Vielä  
korkeamman dielektrisyysvakion eristeitä kuitenkin tarvittaisiin, ja tuo "välttämätön"  
piidioksidikerros asettaa joka tapauksessa alarajan eristepaksuudelle. Ratkaisua tähän  
etsitään mm. kiteisistä eristeistä. Esim. kalsiumfluoridin hilavakio on lähellä piitä, joten  
tämä voisi olla eräs vaihtoehto. Kiteisten materiaalien kasvatus on kuitenkin kallista, ja  
mm. mainitun kalsiumfluoridin kohdalla on vielä omia ongelmiaan, kuten materiaalin  
arkuus (vesiliukoista) sekä se, että k.o. alkuaineet ovat haitallisia epäpuhtauksia monissa  
muissa prosesseissa. Toinen lähestymistapa on, että kehitetään erilaisia seostusprofiileja  
ja komponenttigeometrioita niin, että komponenttien viemää pinta-alaa voidaan pie-  
nentää tai niiden toimintanopeuksia kasvattaa ilman, että kriittisiä dimensioita täytyy  
pienentää liikaa (Kuva 2.2).



*Kuva 2.2. Vaihtoehtoisia CMOS-rakenteita [ITRS2001].*

Johtimien kaventuminen aiheuttaa myös sen ongelman, että virtatiheydet pyrkivät kas-  
vamaan. Aspektisuhteen nostaminen samassa suhteessa ei ole mahdollista, eikä myös-  
kään johtimien johtavuutta voida juurikaan kasvattaa. Kupari on nyt jo paljolti käytössä  
(joskin alumiini tulee pysymään materiaalivalikoimassa vielä pitkään edullisuutensa  
takia). Metalleista pienempi resistiivisyys on vain hopealla ja silläkin vain n. 5 % pie-  
nempi kupariin verrattuna. Käyttöjännitteet ovat pääasiassa materiaaliin riippuvia, joten ne  
eivät juurikaan tule muuttumaan (joskin esim. heterorakenteilla niihin voi jonkin verran

vaikuttaa). Virtatasoja ei myöskään voi laskea määrättömän alas signaali-kohinasuhteen pitämiseksi riittävänä. Vaikkakin yksittäisten komponenttien virrankulutus tulee piene-  
nemään, niiden lukumäärän kasvu luonnollisesti kasvattaa tehonkulutuksen kokonais-  
määrää. Lisäksi monimutkaistuvat piirit nostavat tarvittavien johdotusten määriä, joten  
näiden pituudet siruilla kasvavat merkittävästi (Taulukko 2.4). Houkuttelevilta vaihto-  
ehdoilta tuntuvatkin siis esim. korkean lämpötilan suprajohteet. Johdotuksia tullaan  
valmistamaan myös entistä useampaan kerrokseen – millä saavutetaan myös se etu, että  
kontaktien kokoa voidaan kasvattaa (Kuva 2.3).

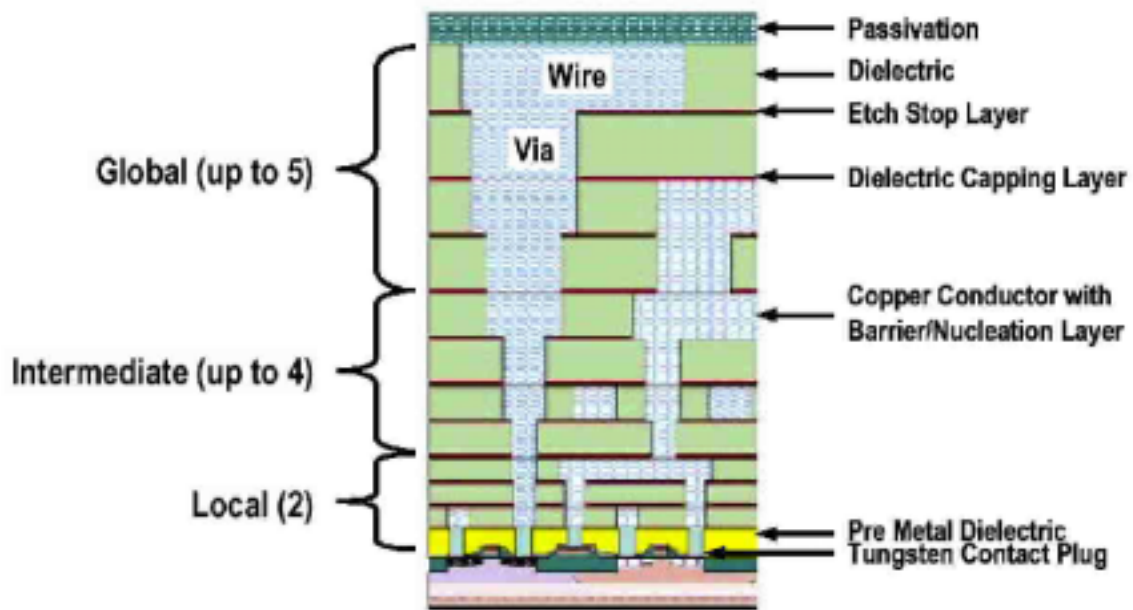
*Taulukko 2.4. MPU/DRAM-teknologioiden kehitys [ITRS2002].*

<i>Year of Production</i>	2002	2007	2013	2016
Total interconnect length (MPU; m/cm <sup>2</sup> ) – active wiring only	4 843	11 169	22 695	33 508
DRAM local wiring pitch (nm) non-contacted	230	130	64	44
MPU intermediate wiring pitch (nm)	380	195	95	65
MPU minimum global wiring pitch (nm)	565	290	140	100
DRAM conductor effective resistivity (μΩ-cm)	3.3	2.2	2.2	2.2
MPU conductor effective resistivity (μΩ-cm) Cu intermediate wiring	2.2	2.2	2.2	2.2
DRAM interlevel metal insulator – effective dielectric constant (κ)	3.0–4.1	2.6–3.1	2.3–2.7	2.1
MPU interlevel metal insulator (minimum expected) -effective dielectric constant (κ)	3.0–3.6	2.3–2.7	1.9	1.8

*White – Manufacturable solutions exist, and are being optimized*

*Yellow – Manufacturable solutions are known*

*Red – Manufacturable solutions are not known*



Kuva 2.3. Piisirun monikerrosjohdotukset ja niiden hierarkkinen skaalaus [ITRS2001].

Toinen kehityskohde dimensioiden pienentämisen lisäksi on jo pitkään ollut mikropiirien integrointiasteen nostaminen. Tämä ei kuitenkaan ole realisoitunut niin suuressa määrin, kuin olisi voinut olettaa. SoC-tyyppinen (System-On-Chip) lähestymistapa, jossa mikropiirille integroidaan kaikki komponentit, on prosessin hinnan vuoksi sovelias vain suuren volyymin tuotteisiin, vaikka ne ovatkin luonteeltaan sovelluskohtaisesti optimoitavia. Prosessista nimittäin tulee yhä monimutkaisempi, mikä pidentää aikaa suunnittelusta tuotantoon sekä lisää riskiä ja niin yksittäisen tuotteen kuin itse valmistusympäristönkin hintaa. Lisäongelmia asiaan tuovat IPR-asiat, kuten ostajan oikeudet tietoon ja toisaalta se, mitä valmistaja on valmis luovuttamaan.

Mikropiirille integroitujen passiivikomponenttien määrän kasvua haittaavat toleranssirajoitukset sekä ennen kaikkea suhteellisen suuren pinta-alan vievien komponenttien sirun kokoa, ja samalla hintaa, kasvattava vaikutus. Nykyisin esim. IC-vastuksia voidaan käyttää vain mikäli 15 %:n toleranssi on riittävä. Niiden valmistus lisää myös prosessin monimutkaisuutta ja samalla kustannuksia. Näin ollen, vaikka integrointiaste tulee jatkossa nousemaan, kaikkea ei kuitenkaan tulla koskaan sijoittamaan yhdelle mikrosirulle. Tämä asettaa omat rajoituksensa systeemitason koon pienentämiselle sekä myös toiminnallisuuden optimoimiselle.

## 2.2 Yhdistepuolijohteet

Piiteknologian lisäksi on muistettava myös yhdistepuolijohteet, joita käytetään lähinnä korkeataajuussovelluksissa sekä optoelektronikan komponenteissa. Galliumarsenidipohjaiset puolijohdekomponentit ovat olleet jo varsin pitkään käytössä, joskaan kasvu ei ehkä ole ollut aivan suurimpien odotusten mukaista – mikä johtuu lähinnä piiteknologian yllättävänkin hyvästä kehityksestä. Piikomponenteilla on kuitenkin rajansa. Vaikka laboratorio-olosuhteissa on valmistettu 100 GHz:n rajataajuuksilla toimivia MOSFETeja, gigahertsiluokan piirien valmistaminen on ehkä turhan kova haaste. GaAs on kuitenkin hankala materiaali, kallis prosessoida, puhumattakaan ympäristökysymyksistä. Näin ollen esim. pii-germanium- (SiGe) piirejä kehitetään ja valmistetaan lähinnä juuri korkeataajuussovelluksiin. Massatuotantopiirien rajat tosin siinäkin ovat tällä hetkellä ehkä 20 GHz:n taajuuksilla, joten tämän yläpuolella III–V-yhdisteet näyttävät olevan lähivuosina ainoita mahdollisia puolijohdemateriaaleja. Lisäksi on huomioitava erilaiset kvanttikomponentit, joita voidaan valmistaa epitaksiamenetelmin, ja joiden etuina ovat pienen koon ja nopeuden lisäksi myös itse kvantti-ilmiöiden luonne – epälineaariset varauksenkuljetusmekanismit mahdollistavat uudentyyppiset toiminnot, jolloin piiriä varten vaadittavaa komponenttimäärää saadaan laskettua.

## 2.3 Uudet komponenttityypit

Mikromekaniikkaa käytetään entistä enemmän mm. suodattimien, kytkimien ja oskillaattoreiden valmistamiseen. Näiden etuina ovat pieni koko, matalat häviöt, matala tehonkulutus, mahdollisuus integroida samalle mikrosirulle sähköisten komponenttien kanssa sekä potentiaalisesti myös matala hinta. Haittapuolina näillä ovat korkeat käyttöjännitteet, herkkyys ulkoisille tekijöille, kuten epäpuhtauksille tai lämpötilalle, sekä joissakin sovelluksissa myös rajoitettu nopeus tai liian suuri koko. Merkittävään asemaan MEMS-komponenttien määrän kasvattamisessa on noussut pakkaus ja liitäntäteknologia, jonka rakenneratkaisut ovat monesti varsin haasteellisia. Esimerkiksi anturiosan pitää olla suorassa kontaktissa ympäröivän kemiallisen tai biologisen materiaalin kanssa, ja moduulin muun osan tulee olla siltä hyvin suojattuna. Komponentti saattaa vaatia suojakaasu- tai tyhjiöolosuhteita. Haasteina alueella ovat siis luotettavuus, olosuhdeherkkyys sekä edellytyksenä toiminnalle yleensä hermeettinen tai tyhjäpakkaus. Ratkaisuja kehitetään näihin ongelmiin jo lähivuosien aikana, joskin yhä kasvavat vaatimukset edellyttävät jatkuvaa kehitystyötä.

Toinen merkittävä komponenttilaji ovat erilaiset optoelektroniset ja fotonikkakomponentit. Lisääntyvä optisen tiedonsiirron määrä sekä tarve häiriöttömään signaalin välitykseen lisäävät näiden tarvetta. Toiminnallisuuden tehostamisen kannalta eräänä tärkeänä tavoitteena on maksimoida optisessa muodossa tapahtuva signaalin siirto ja kä-

sittely. Vuosikymmenen lopulla odotetaan täysin optisten verkkojen olevan jo käytössä (Oulun alueen mikro- ja nanoteknologiaohjelma, 2002–2006, Taulukko 7-1). Signaalien generointi ja vastaanotto viedään myös sähköisissä piireissä yhä lähemmäs mikropiirita-soa, mikä tuo omat haasteensa niin piirivalmistukseen kuin myös kotelointiin ja moduulivalmistukseen. Alalle on tulossa myös uusia komponentteja, kuten polymeerilase-reita sekä nanoteknologiaan perustuvia komponentteja ja rakenteita, jotka luovat täysin uusia mahdollisuuksia.

Myös polymeerielektronikka on kerännyt entistä enemmän huomiota ja kehitysponnisteluja. Mahdollisuus valmistaa edullisia piirejä hyvin suurin volyymein ja nopein valmistusprosessein sopii hyvin mikroelektronikan perimmäisiin periaatteisiin. Nämä mahdollistaisivat yksinkertaisten piirien sijoittamisen yhä uusiin kohteisiin ja täysin uusien sovellusalueiden valtauksen. Erilaisia elektronisia, optoelektronisia ja optisia komponentteja kehitetäänkin jo. Pääasiallisena kehityskohteena ovat näiden hyötysuhteen kasvattaminen (häviöt erittäin suuret) sekä käyttöiän nostaminen ja luotettavuuden parantaminen.

## 3. Komponenttipakkausten kehitystrendit

### 3.1 Pakkauksen tehtävät

IC-piiri vaatii aina jonkinlaisen suojauksen kestääkseen käyttöympäristönsä rasituksia. Kotelon tehtävänä on myös helpottaa komponentin käsittelyä ja liittämistä edelleen piirin osaksi. Kun puolijohdepalalle toteutettavan piirin kompleksisuus kasvaa, myös vaatimukset sen koteloinnille kasvavat. Taulukossa 3.1 esitetään arvio vaativien mikroprosessorien ja ASICien sisäisten ja kotelosta ulos tulevien liityntöjen kehittymisestä. Vastaavasti taulukossa 3.2 on arvio piisirun ominaisuuksien kehittymisestä eri tuoteryhmille. Komponenttien kotelointiteknikan kehittymisen on pystyttävä vastaamaan näihin vaatimuksiin, joista suurimpia ongelmia aiheuttavat hukkatason kasvu ja ulostulojen suuri lisääntyminen.

*Taulukko 3.1. Kontaktien lukumäärä [ITRS2002].*

<i>Year of Production</i>	<i>2002</i>	<i>2007</i>	<i>2013</i>	<i>2016</i>
<i>Number of Chip I/Os (Number of total chip pads) – Maximum</i>				
Total pads – MPU	3 072	3 072	4 224	4 416
– Signal I/O – MPU	1 024	1 024	1 408	1 472
– Power and ground pads – MPU	2 048	2 048	2 816	2 944
Total pads – ASIC high-performance	3 200	4 400	5 400	6 000
– Signal I/O pads – ASIC high-performance	1 600	2 200	2 700	3 000
– Power and ground pads – ASIC high-performance	1 600	2 200	2 700	3 000
<i>Number of Total Package Pins – Maximum</i>				
Microprocessor/controller, cost-performance	480–1 320	600–2 140	1 014–3 616	1 318–4 702
Microprocessor/controller, high-performance	1 320	2 140	3 616	4 702
ASIC (high-performance)	1 870	3 012	5 335	7 100



Taulukko 3.2. Yksittäisen mikrosirun pakkausvaatimukset [ITRS2002].

Year of Production	2002	2007	2013	2016
<i>Power: Single Chip Package (W)</i>				
– Low Cost	n/a	n/a	n/a	n/a
– Hand-held	2.6	3.5	3	3
– Cost-performance	75	104	137.6	158.2
– High-performance	140	190	250.7	288.3
– Harsh	14	18	23.8	27.4
– Memory	1.4	2	2.65	3.05
<i>Core Voltage (V)</i>				
– Low Cost	1.2	0.9	0.5–0.6	0.3
– Hand-held	1.2	0.9–1.1	0.4	0.4
– Cost-performance	1.5	0.9	0.6	0.5
– High-performance	1.0	0.7	0.5	0.4
– Harsh	2.5	1.2	0.9	0.9
– Memory	1.5	0.9	0.6	0.3
<i>Junction Temperature Maximum (°C)</i>				
– Low Cost	125	125	125	125
– Hand-held	100	100	100	100
– Cost-performance	90	85	85	85
– High-performance	90	85	85	85
– Harsh	150	150	150	150
– Harsh complex			190	190
– Memory	125	125	100	100
<i>Chip size (mm<sup>2</sup>)</i>				
– Low Cost	59	65	90	90
– Hand-held	59	65	90	90
– Cost-performance	178	204	307	307
– High-performance	310	310	310	310
– Harsh	80	100	150	150
– Memory	141	175	250	250
<i>Package Pincount Maximum</i>				
– Low Cost	100–371	160-598	270-1011	351-1314
– Hand-held	113–464	176-748	298-1264	387-1643
– Cost-performance	480–1 320	600–2 140	1 014–3 616	1 318–4 702
– High-performance	1 870	3 012	5 335	7 100
– Harsh	308	494	835	1 086
– Memory	44–144	48–160	81–270	105–351
<i>Overall Package Profile (mm)</i>				
– Low Cost	1.0	0.5	0.5	0.5
– Hand-held	0.5	0.5	0.5	0.5
– Cost-performance	1.0	0.8	0.5	0.5
– High-performance	n/a	n/a	n/a	n/a
– Harsh	1.0	1.0	1.0	0-8
– Memory	1.0	0.5	0.5	0.5

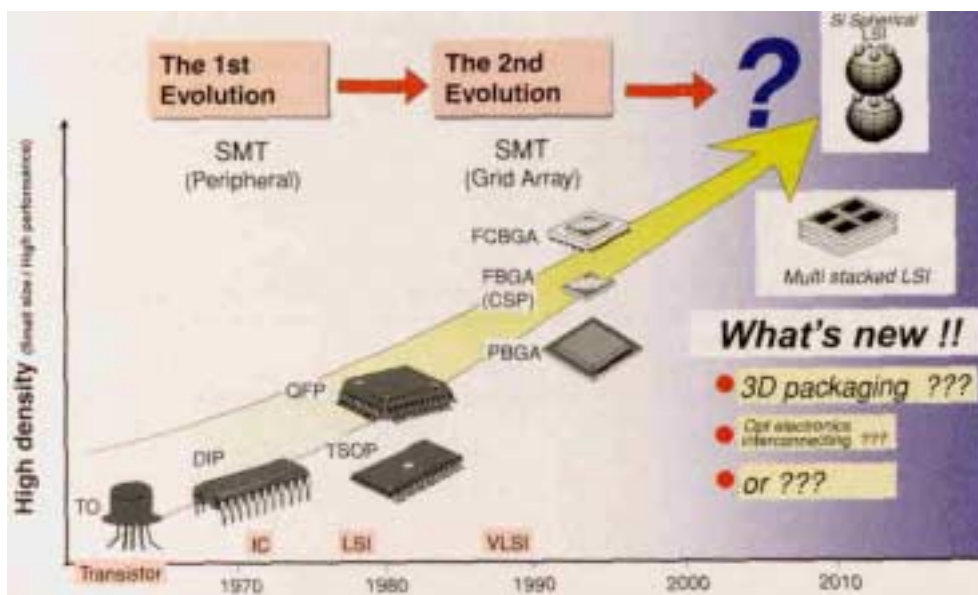
White – Manufacturable solutions exist, and are being optimized

Yellow – Manufacturable solutions are known

Red – Manufacturable solutions are not known

## 3.2 Kotelotyypit

Jotta puolijohdetekniikan kehityksen mukanaan tuoma pakkaustiheyden kasvu saadaan hyödynnettyä, tulee myös yksittäispakatun komponentin olla mahdollisimman pienikokoinen. Perinteiset jalalliset komponentit vaativat tyypillisesti kymmenkertaisen pinta-alan sen sisältämään puolijohdepalaan verrattuna. Uusimmissa ns. CSP- (chip-scale-package) koteloissa itse kotelon pinta-ala on enintään 20 % suurempi kuin kotelon sisällä olevan piisirun ala. Ensimmäisissä ns. reikäasennettavissa kotelotyypeissä liittäminen toteutettiin asentamalla kotelon liityntäpinnit piirilevyssä oleviin läpivientireikiin, jonka jälkeen juottaminen voitiin tehdä aaltojuotostekniikalla. Seuraava kehitysvaihe olivat ns. pintaliitettävät jalalliset kotelotyypit, joissa liittynät ovat komponentin reunoina. Komponenttien liityntöjen määrän kasvaessa on siirrytty käyttämään myös komponenttityyppejä, joissa liittynät ovat matriisin muodossa komponentin alla. Näissä ns. BGA- (ball-grid-array) komponenteissa liittynät toteutetaan komponentin alle sijoituilla juotepalloilla, jotka sitten liitetään liitosalustassa oleville liitosalueille. Tällä tavalla voidaan kasvattaa liityntöjen määrää ilman, että liitosten tiheys muodostuu ylivoimaisen suureksi liittämisen ja liitosalustan valmistamisen kannalta. Äärimmäisenä kehitysvaiheena tässä ovat em. CSP-komponentit, jotka ovat pienimmillään vain itse piisirun kokoisia mutta kuitenkin toteuttavat komponentin käsiteltävyyttä helpottavan ja luotettavuutta parantavan suojauksen. Kuva 3.1 esittää edellä kuvattua puolijohdekomponenttien pakkauksen kehitystä.



Kuva 3.1. Puolijohdekomponenttien pakkauksen kehitystrendit [JEITA2001].

Eri valmistajilla on monia erilaisia CSP-komponenttityyppejä, jotka poikkeavat huomattavasti sisäiseltä rakenteeltaan. Useimmissa CSP-koteloissa on matriisimuodossa olevien liitosalueiden jakoväli välillä 0,5–1,0 mm, eli kotelolla voidaan saavuttaa vielä

BGA-koteloakin parempi pinta-alan käytön tehokkuus. CSP-kotelon tavoitteena on yhdistää BGA:n ja paljaana liitetyn sirun (flip-chip) edut. Kotelo suojaa piisirua ympäristörasituksilta (esim. lämpölaajenemisen sovitus liitosalustan kanssa), helpottaa käsittelyä paljaisiin puolijohteisiin verrattuna, johtaa lämpöä pois piiltä ja helpottaa testausta. Kokonsa takia CSP lähenee ominaisuuksiltaan flip chipiä: pieni koko, pieni induktanssi ja suuri I/O-tiheys. Lisäksi CSP:n ladonta onnistuu tavallisilla pintaladontakoneilla, koska liitosjakoväli on reilusti isompi kuin paljaalla flip-chipillä. Kääntösiru liitetään suoraan liitosalustan liitosalueille, kun CSP:ssä on sovitekerros liitosten välissä. CSP on pintaliitoskomponentti, joten se soveltuu paremmin ladontaan, se on standardoitavissa ja esitestattavissa. Piirien pakkauksessa WLP – kiekkotason pakkaus – lisääntyy pakkausten pienen koon sekä jo IC-prosessoinnin loppuvaiheessa saavutettavan komponenttien suojauksen vuoksi.

Uusien komponenttityyppien tullessa markkinoille ne eivät kuitenkaan helposti syrjäytä vanhempia tyyppejä, vaan toteutuksissa käytetään rinnakkain hyvinkin monenlaisia komponentteja. Tälläkin hetkellä käytetään vielä paljon reikäasennettavia komponentteja ja ne muodostavat yhdessä pinta-liitettävien jalallisten komponenttien kanssa valtaosan käytössä olevista komponenttityypeistä. Reikäasennettavien osuus on tällä hetkellä n. 19 %, pintaliitettävien jalallisten komponenttien osuus 66 %, BGA- ja CSP-komponenttien osuus 2,4 % ja koteloimattomina asennettavien puolijohteiden osuus 12,5 %. Uusimmat pienikokoiset komponentit otetaan käyttöön sovelluksissa, joissa niiden edut pääsevät oikeuksiinsa kuten kannettavissa laitteissa ja antureissa.

Taulukko 3.3 esittää ennakoitua BGA- ja CSP-komponenttien liitostiheyden kehittymistä sekä vaatimukset komponenttien liittämiseen soveltuvalla liitosalustalla. Komponenttiteknologioiden kehittyminen asettaa merkittäviä vaatimuksia myös liitosalustojen liitosalustojen viivanleveydelle.

*Taulukko 3.3. BGA/SCP-pakkaukset: Mahdollisia ratkaisuja [ITRS2002].*

<i>Year of Production</i>	<i>2002</i>	<i>2007</i>	<i>2013</i>	<i>2016</i>
<i>BGA Solder Ball Pitch (mm)</i>				
– Low Cost	0.8	0.5	0.5	0.5
– Hand-held	0.8	0.5	0.5	0.5
– Cost-performance	1	0.5	0.5	0.5
– High-performance	1	0.8	0.8	0.8
– Harsh	1.27	0.8	0.5	0.5
FBGA/CSP area array pitch (mm)	0.5	0.2	0.15	0.1
FBGA/CSP size (mm/side)	4–21	4–21	4–21	4–21
FBGA/CSP solder ball pad pitch (mm)	0.5	0.2	0.15	0.1
<i>BGA and FBGA/CSP package substrate</i>				
– Pad size (µm)	200	120	120	100
– Line width (µm)	60	24	18	12
– Line spacing (µm)	60	24	18	12
– # rows accessed	3	3	3	3

### 3.3 Paljaiden puolijohdeiden liittäminen liitosalustaan

Vaihtoehtoinen tie yksittäin pakattujen komponenttien käytölle on käyttää paljaita koteloimattomia komponentteja ja tehdä suojaus vasta sen jälkeen, kun komponentti on liitetty liitosalustansa. Tällöin komponentin piirilevyalustalla vaatima pinta-ala riippuu ratkaisevasti käytetystä liitostekniikasta. Liitostiheyttä voidaan kasvattaa siirtymällä lankaliittämiseen ja johdinliuskojen käyttöön perustuvista COB- ja TAB-tekniikoista kontaktinystyihin perustuvaan flip-chip- eli kääntöliitostekniikkaan, jossa puolijohdepala liitetään alustansa prosessoitu pinta alaspäin. Lankaliitos on menetelmistä selvästi yleisin. Se on helpoimmin siirrettävissä tuotantoon, koska laitteet ja menetelmät ovat hyvin tunnettuja. Suurin mielenkiinto kohdistuu tällä hetkellä kuitenkin kääntösirutekniikan kehittämiseen, koska näin liitetty siru on potentiaalisesti halvin, vie pienimmän tilan liitosalustalta ja on sähköisesti paras. Kääntösirutekniikka muistuttaa CSP-tekniikkaa, sillä myös sen liitokset ovat komponentin alla. Rakenne on kuitenkin ennen liittämistä koteloimaton ja liitosalueiden jakoväli on huomattavan pieni, usein alle 250 µm. Ylimääräistä johdinkehystä tai sovitekerrosta (interposer) ei tarvita, jolloin puolijohdepalat voidaan liittää hyvin lähelle toisiaan. Välitäyte (underfill) vähentää oleellisesti lämpövaihtelujen liitoksiin kohdistamaa räsitusta. Tarkemmin paljaiden puolijohdeiden liittämismenetelmiä ja niiden kehittymistä käsitellään luvussa 6.

## 4. Liitosalustojen kehitys

Liitosalustan perustehtävät ovat toimia komponenttien tukialustana sekä toteuttaa tarpeelliset siirtotiet signaaleille ja tehon syötölle. Lisäksi liitosalustalla voi olla tehtävänä osallistua komponentin suojaukseen esim. sähkö- ja magneettikentiltä tai ympäristön rasituksilta tai suojata ympäristöä komponenttien säteilykentältä. Voidaan myös integroida osa passiivikomponenteista suoraan liitosalustaan ja tällä tavalla pienentää piirin kokoa ja minimoida luotettavuutta heikentävien juotosliitosten määrää.

Piirilevylaminaatit ovat vallitseva tekniikka liitosalustojen valmistuksessa, mutta ke-raamialustat ovat laajasti käytössä sovellutuksissa, joissa vaaditaan hyviä suurtaajuusominaisuuksia, stabiilisuutta, hyvää lämmönjohtavuutta ja luotettavuutta vaikeissa ympäristöolosuhteissa. Ratkaisevana tekijänä tässäkin kehityksessä on hinnan, suorituskyvyn ja koon ikuinen kamppailu, johon osansa tuo myös mm. kestävyys, dielektrisyysvakion ja hinnan ristiriita. Näistä on sitten pyrittävä valitsemaan kuhunkin sovellukseen parhaiten sopiva (ja parhaiten tuottava) kokoonpano.

Puolijohdesirujen I/O-määrän kasvu ja uusien puolijohteen kokoisten pakkausten sekä erityisesti kääntösirujen pienemmät liitosjako- ja väli-vaativat tiheämpiä liitosalustoja (Taulukko 4.1). Paitsi kaventamalla johtimia tai pienentämällä läpivientejä tiheyttä voidaan myös kasvattaa integroimalla passiivikomponentteja alustan rakenteeseen. Lisäksi taajuuksien nousu edellyttää pienempihäviöisten materiaalien kehittämistä (Taulukko 4.2). Merkittäviä muita parametreja ovat mm. dielektrisyysvakio, lämmönjohtavuus ja lämpölaajenemiskerroin. Myös uusien juotosprosessien korkea huippulämpötila asettaa rajoituksia käytettäville materiaaleille, joten piirilevymateriaaleissa siirryttäneen epokseista korkeamman Tg:n materiaaleihin (kehittyneemmät FR-4, FR-5; myös PTFE). Ympäristötekijöiden merkitys on myös kasvussa, mistä selvimpänä esimerkkinä ovat lyijyn käyttöön tulossa olevat rajoitukset.

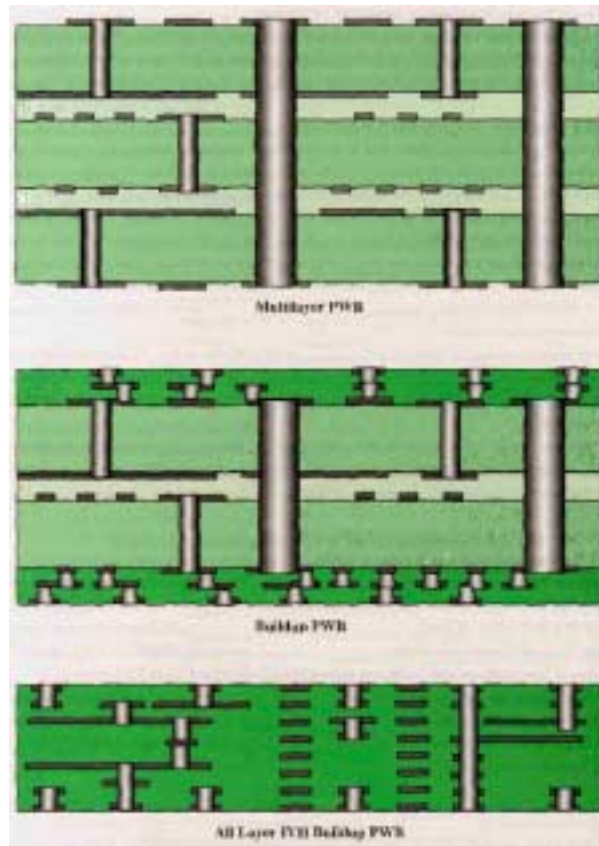
*Taulukko 4.1. Kannettavat sovellukset pakkaustekniikan ajureina [McElroy2002].*

<i>First year of significant production</i>	2003	2007	2013
<b>Design-packaging density</b>			
Average component I/O density (I/O per cm <sup>2</sup> )	70	100	140
Max component I/O density (I/O per cm <sup>2</sup> )	280	350	450
I/O per component avg.	6	7.5	9
Package I/O pitch (perimeter; mm)	0.5	0.5	0.5
<b>Max I/O per package (I/O/pkg)</b>	324	424	480
Package I/O pitch (area array; mm)	0.5	0.5	0.5
Substrate lines and spaces (µm)	75	65	35
Substrate pad diameter (µm)	225	175	125
Max # of I/Os per product (solder joints)	5 500	5 000	4 000
components per cm <sup>2</sup>	15	17	25
Max components per cm <sup>2</sup>	50	60	25

Taulukko 4.2. SCP- (single-chip-package) pakkausteknologian vaatimukset [ITRS 2002].

Year of Production	2002	2007	2013	2016
<i>Performance: On-Chip (MHz)</i>				
– Low Cost	460–2 640	735/4 676	1 243–7 903	1 616–1 0274
– Hand-held	460–2 640	735/4 676	1 243–7 903	1 616–1 0274
– Cost-performance	2 320	6 740	19 000	29 000
– High-performance	2 320	6 740	19 000	29 000
– Harsh	66	106	179	234
– Memory	200/440	300/740	600/1 280	750/1 665
<i>Performance: Chip-to-Board for Peripheral Buses (MHz)</i>				
– Low Cost	100	100	125	150
– Hand-held	100	100	125	150
– Cost-performance	200/660	300/1 063	300/1 883	300/2 506
– High-performance	1 870	3 011	5 339	7 100
– Harsh	66	106	125	150
– Memory	200/445	300/714	250/963	250/1 175

Komponenttikoteloiden kehitys, erityisesti liityntöjen määrä ja liitosten jakoväli, asettaa haasteita liitosalustojen ominaisuuksille. Jos liityntöjä on 200–500 ja jalallisen QFP-kotelon jakoväli on 0,5 mm ja BGA-kotelon jakoväli on 1,27–1,5 mm, tullaan toimeen hinnaltaan edullisella FR4-laminaattialustalla toteutettuna 4-kerrosrakenteena ja 0,2 mm:n johdinleveydellä. Jos sen sijaan liityntöjen määrä on suurempi, esim. 500–1500, ja piiri sisältää CSP-komponentteja (jakovälillä 0,65 tai 0,5 mm) tai flip-chip-komponentteja (jakovälillä 0,25 tai 0,2 mm), tarvitaan liitosalustaksi kehittyneempi ns. build-up-moni-kerrospiirilevyalusta, jossa voidaan käyttää kapeampia johtimia (Kuva 4.1).



Kuva 4.1. Eri piirilevytyyppejä [JEITA2001].

## 4.1 Perinteiset piirilevyt

Orgaaniset liitosalustat ovat selvästi käytetyin alustamateriaali elektroniikan valmistuksessa. Näitä alustoja valmistetaan sekä jäykistä että taipuisista materiaaleista. Epoksilasilaminaatti (FR-4) on yleisin jäykkä alustamateriaali. Lukuisia muita materiaaleja on kehitetty, esimerkiksi syanaattierilaminaatti, jolla on FR-4:ää pienempi häviökerroin ja eristevakio mutta jonka yleistymistä estää vielä korkeampi hinta.

Taulukko 4.3 ja taulukko 4.4 esittävät arviot piirilevyn dimensioiden kehitymisestä vuoteen 2010 mennessä. Viivanleveyksien ja ennen kaikkea johtimien etäisyyksien kasvuun on syntynyt tarve tutkia matalamman dielektrisyysvakion eristeitä johdinten välisten häiriöitten minimoimiseksi. Piirikorteissa, sovelluksesta riippuen, odotetaan vuoteen 2010 mennessä suhteellisen dielektrisyysvakion pienenevän nykyisestä n. neljästä minimissään kolmeen, jopa kahteen (Taulukko 4.5). Monikerroskorttimateriaalien ominaisuuksien vaihteluväli on laaja, minkä lisäksi tullaan käyttämään vielä eri materiaaleja esim. kasvatettavissa lisäeristekerroksissa. Korttien dimensiot eivät juurikaan muutu vuosikymmenen loppupuolella. Merkittävintä onkin kerrosmäärien kasvu, jotta vastattaisiin tihentyvän komponenttialan ja liitosten asettamaan haasteeseen

[JEITA2001]. Lisäksi siirtolinjojen ominaisimpedanssin toleranssirajojen ennakoidaan tiukkenevan, mikä asettaa entistä suurempia vaatimuksia niin piirilevymateriaaleille kuin valmistusprosessien hallinnalle (Taulukko 4.6).

*Taulukko 4.3. Monikerroskorttien johdinspesifikaatiot [JEITA2001].*

Item	Class	2003	2010
Power/ground layer copper foil thickness ( $\mu\text{m}$ )	Conventional	35	35
	Leading Edge	70	70
	State of the Art	12	9
Signal layer copper foil thickness ( $\mu\text{m}$ )	Conventional	18	18
	Leading Edge	12	9
	State of the Art	5	3
Min signal layer conductor thickness ( $\mu\text{m}$ )	Conventional	35	35
	Leading Edge	22	22
	State of the Art	15	13
Min conductor width ( $\mu\text{m}$ )	Conventional	90	50
	Leading Edge	70	50
	State of the Art	50	25
Conductor width tolerance ( $\pm \mu\text{m}$ )	Conventional	22	15
	Leading Edge	15	10
	State of the Art	10	5
Min conductor space ( $\mu\text{m}$ )	Conventional	100	75
	Leading Edge	70	50
	State of the Art	50	25

*Taulukko 4.4. Monikerroskorttien mekaaniset spesifikaatiot [JEITA2001].*

Item	Class	2003	2010
Max PWB size (mm x mm)	Conventional	320 x 320	320 x 320
	Leading Edge	480 x 580	480 x 580
	State of the Art	650 x 850	650 x 900
Min PWB size (mm x mm)	Conventional	100 x 100	100 x 100
	Leading Edge	70 x 70	70 x 70
	State of the Art	20 x 20	20 x 20
Max PWB thickness (mm)	Conventional	3.2	3.5
	Leading Edge	5.5	6.0
	State of the Art	7.5	8.0
Min PWB thickness (mm)	Conventional	.5	.5
	Leading Edge	.2	.2
	State of the Art	.1	.1
Max number of layers	Conventional	12	16
	Leading Edge	18	24
	State of the Art	52	60
Min inner core layer thickness ( $\mu\text{m}$ )	Conventional	100	100
	Leading Edge	60	50
	State of the Art	30	30
Min prepreg thickness ( $\mu\text{m}$ )	Conventional	100	90
	Leading Edge	60	30
	State of the Art	30	30



Taulukko 4.5. Monikerros- ja build-up-korttimateriaalien ominaisuudet [JEITA2001].

Item	Class	2003		2010	
		Multilayer	Buildup	Multilayer	Buildup
Glass transition temperature (°C)	Conventional	150	150 (200)	185	175 (200)
	Leading Edge	185	180 (240)	210	200 (240)
	State of the Art	210	220 (300)	260	250 (300)
Dielectric constant (@1MHz)	Conventional	4.7	4.1 (3.7)	4.7	3.7 (3.7)
	Leading Edge	4.5	3.5 (3.5)	3.0	2.8 (3.5)
	State of the Art	3.5	2.4 (3.5)	2.0	1.8 (3.5)
Dielectric dissipation factor (@1MHz)	Conventional	.015	.015 (.033)	.015	.014 (.033)
	Leading Edge	.010	.007 (.015)	.005	.005 (.015)
	State of the Art	.003	.001 (.015)	.001	.001 (.015)
Coefficient of thermal expansion (ppm/°C)	Conventional	16	15 (34.5)	14	15 (34.5)
	Leading Edge	14	15 (33)	8	15 (33)
	State of the Art	10	6 (6)	6	6 (6)
Solder Heat resistance (Max. °C/s)	Conventional	260/30	230/120	260/30	230/120
	Leading Edge	260/180	260/120	260/180	260/120
	State of the Art	288/180	288/180	288/180	288/180
Copper foil peel strength (kN/m)	Conventional	1.6	1.5 (1.1)	1.6	1.5 (1.1)
	Leading Edge	1.4	1.3 (1.16)	1.3	1.4 (1.16)
	State of the Art	1.0	.5 (1.57)	0.5	.5 (1.57)
Flexural strength (N/mm <sup>2</sup> )	Conventional	490	490 (470)	490	490 (470)
	Leading Edge	490	490 (490)	490	490 (490)
	State of the Art	550	550 (490)	550	550 (490)
Flexural modulus (GPa)	Conventional	23.5	24.5 (23)	23.5	24.5 (23)
	Leading Edge	27.5	27.5 (23)	27.5	27.5 (23)
	State of the Art	30	30 (23)	30	30 (23)
Moisture absorption D-25/24 (%)	Conventional	.20	.40 (.080)	.10	.20 (.080)
	Leading Edge	.10	.20 (.060)	.05	.10 (.060)
	State of the Art	.04	.04 (.060)	.02	.02 (.060)

Data in ( ) are major characteristics for the All Layer IVH board

Taulukko 4.6. Monikerros- ja build-up-korttimateriaalien ominaisimpedanssitoleranssit [JEITA2001].

Item	Class	2003	2010
Characteristics impedance tolerance (±%)	Conventional	n/a	10
	Leading Edge	10	5
	State of the Art	5	3

## 4.2 Build-up- ja All-Layer-IVH-piirilevyt

Uusien entistä tiheämpien piirilevyjen valmistukseen on kehitetty ns. mikroläpivientien valmistustekniikka, jolla voidaan tehdä halkaisijaltaan alle 200 µm sokeita ja haudattuja reikiä. Kehitetyt tai kehitteillä olevat prosessit perustuvat usein ns. osittaiseen sekventiaaliseen valmistukseen, jossa viimeiset eriste- ja tiheät johdotuskerrokset lisätään valmiina olevan perinteisesti valmistetun osan päälle. Lisäksi on kehitetty valmistustekniikka (All-Layer-IVH), jossa mikroläpivientejä käytetään levyn kaikissa kerroksissa samaan tapaan kuin LTCC-tekniikassa (ks. kohta 4.4).

Uusien piirilevyjen valmistustekniikassa Japani on pisimmällä. Ehkä tunnetuin menetelmä on IBM:n (Japani) kehittämä SLC- (surface laminar circuit) menetelmä, jossa mikroläpiviennit valmistetaan fotokuvioimalla laminaatin pintaan levitettyyn ohueen UV-valolle herkkään epoksipolymeerikerrokseen ja johdotus kasvatetaan kemiallisella kuparoinnilla eristekalvon pinnalle. Muita menetelmiä mikroläpivientien valmistukseen ovat laserporaus ja plasmaetsaus.

Fotokuviointiprosessin suurin etu on hyvä soveltuvuus massavalmistukseen; aihion kaikki läpiviennit valmistuvat samanaikaisesti yhdessä valotus- tai syövytysprosessivaiheessa. Ongelmia ovat suorituskäytävien materiaalien saatavuus, korkea puhtausvaatimus ja suuret laiteinvestoinnit. Reikien poraus laserilla (10–50 reikää/s, esim. UV-alueen Nd-YAG) on helpointa ottaa käyttöön nykyisissä piirilevyprosesseissa, koska tarvitaan vain perinteisen porauskoneen korvaaminen laserilla. Soveltuvuus massavalmistukseen ei ole kuitenkaan fotokuvioinnin veroinen, mutta menetelmän hyvä siirrettävyys valmistajien nykyprosessiin on suuri etu. Plasmaetsaus on osoittautunut

*Taulukko 4.7. Build-up-piirilevyjen johdinspesifikaatiot [JEITA2001].*

Item	Class	2003	2010
Power/ground layer copper foil thickness ( $\mu\text{m}$ )	Conventional	18	18
	Leading Edge	18	12
	State of the Art	6	6
Signal layer copper foil thickness ( $\mu\text{m}$ )	Conventional	12	9
	Leading Edge	9	3
	State of the Art	3	3
Signal layer conductor thickness ( $\mu\text{m}$ )	Conventional	25	20
	Leading Edge	18	10
	State of the Art	9	8
Core layer min conductor width ( $\mu\text{m}$ )	Conventional	75	50
	Leading Edge	50	25
	State of the Art	20	10
Core layer conductor width tolerance ( $\pm \mu\text{m}$ )	Conventional	20	10
	Leading Edge	10	6
	State of the Art	8	2
Core layer min space ( $\mu\text{m}$ )	Conventional	75	50
	Leading Edge	50	25
	State of the Art	20	10
Buildup layer min conductor width ( $\mu\text{m}$ )	Conventional	75	45
	Leading Edge	50	25
	State of the Art	20	10
Buildup layer conductor width tolerance ( $\pm \mu\text{m}$ )	Conventional	15	10
	Leading Edge	10	5
	State of the Art	5	2
Buildup layer min space ( $\mu\text{m}$ )	Conventional	75	50
	Leading Edge	50	25
	State of the Art	20	10

toimivaksi menetelmäksi proto- ja piensarjojen valmistuksessa, mutta erikoismateriaalien tarve, korkeammat kustannukset ja pidempi prosessin läpimenoaika fotokuviointiin verrattuna vähentävät kiinnostusta.

Taulukko 4.7 esittää arvion build-up-piirilevyjen eri dimensioiden kehityksestä vuoteen 2010 mennessä. Arvio materiaaliparametrien kehityksestä löytyy taulukosta 4.5.

### 4.3 Joustavat piirilevyt

Taipuisista materiaaleista tavallisimmat ovat polyimidi ja polyesteri. Polyesteri on halpa materiaali, mutta se ei kestä juotosprosessia. Tulevaisuudessa taipuisia halpoja polyesteriliitosalustoja valmistetaan yhä enemmän käyttämällä johdotuksen valmistuksessa polymeeripaksukalvojohtimia ja komponenttien liittämässä johtavia hopeatäytteisiä liimoja.

Taipuvia substraatteja (Flex) tullaan käyttämään yhä enemmän pienikokoisiin kortteihin ja CSP:hin (Chip Size Package). Ennusteet läpivientien, viivanleveyksien yms. dimensioista (Taulukko 4.8) ovat periaatteessa samat kuin jäykillekin materiaaleille (samat perustekniikat), joskin paine dimensioiden pienentämiselle on suurempi johtuen pienemmästä kerrosten lukumäärästä. Käytön lisääntyessä myös paine halvempiin materiaaleihin polyimidien sijasta kasvaa. Flex-korttimateriaaleissa  $T_g$ :n halutaan nousevan 10–30 astetta, mutta muuten niiden ominaisuudet pysyvät samoina. Myös muita mahdollisia materiaaleja tutkitaan, esim. nestekidepolymeerejä [JEITA2001].

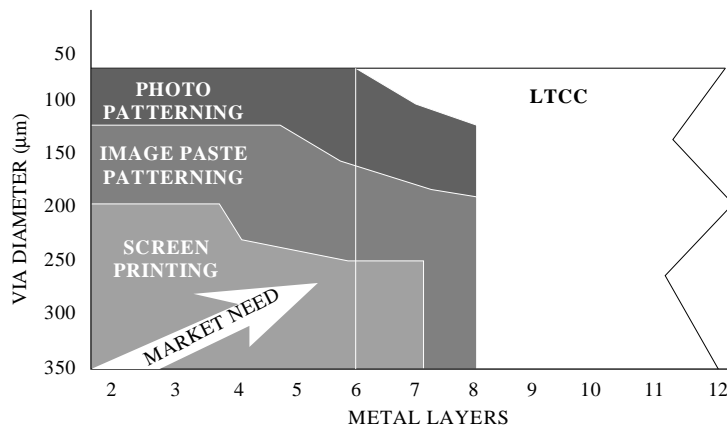
*Taulukko 4.8. FPC/FRPC-johdinspesifikaatiot [JEITA2001].*

Item	Class	2003	2010
Un-plated section copper foil thickness of single sided FPC ( $\mu\text{m}$ )	Conventional	35	35
	Leading Edge	18	18
	State of the Art	12	12
Plated section copper foil thickness of double sided FPC/FRPC ( $\mu\text{m}$ )	Conventional	18	18
	Leading Edge	9	9
	State of the Art	4	4
Plated section conductor thickness of double sided FPC/FRPC ( $\mu\text{m}$ )	Conventional	35	35
	Leading Edge	18	12
	State of the Art	8	8
Min conductor width ( $\mu\text{m}$ )	Conventional	75	60
	Leading Edge	30	20
	State of the Art	20	10
Conductor width tolerance ( $\pm \mu\text{m}$ )	Conventional	25	18
	Leading Edge	12	8
	State of the Art	5	3
Min conductor space ( $\mu\text{m}$ )	Conventional	90	75
	Leading Edge	40	30
	State of the Art	20	10

## 4.4 Keraamiset monikerrosliitosalustat

Perinteisten keraamialustojen käyttöä on rajoittanut niiden hinta verrattuna esim. piirilevy-laminaatteihin. Monikerrosrakenteiden valmistaminen keraamialustalle silkkipainotekniikalla vaatii erillisen lämpökäsittelyn jokaiselle johdin- ja eristepainatukselle. Tässä suhteessa ovat uudet ns. yhteissintrattavat monikerroskeraamitekniikat (low temperature cofired ceramics LTCC, high temperature cofired ceramics HTCC) tuoneet merkittäviä etuja. Näissä tekniikoissa lähtömateriaalina käytetään sintraamatonta lasikeraamikalvoa tai HTCC:n tapauksessa sintraamatonta alumiinioksidikeraamikalvoa, jolle kunkin kerroksen johdin- ja läpivientipainatukset tehdään rinnakkain ja sintraus tehdään vasta viimeisenä työvaiheena, sen jälkeen kun kalvot on laminoitu kiinni toisiinsa. Viime aikoina on LTCC tekniikka löytänyt uusia sovelluksia sen tarjoamien monien etujen vuoksi. Massatuotantokelpoisuuden lisäksi tekniikalla voidaan saavuttaa merkittäviä etuja varsinkin suurtaajuussovellutuksissa johtuen piirien materiaalien hyvistä sähköisistä ominaisuuksissa. Johtimissa käytetyt hopea ja kulta ovat erittäin hyviä sähkön johtavuudeltaan ja markkinoilla on jo olemassa vähähäviöisiä eristemateriaaleja ja uusia materiaaleja on kehitteillä. LTCC-alustaan voidaan myös valmistaa upotuksia ja suo-  
jauksia herkille komponenteille.

Kuva 4.2 esittää keramiikkapohjalevyjen valmistusmenetelmien kehityssuuntia. Johdintiheyyttä voidaan kasvattaa käyttämällä läpivientien valmistamiseen diffuusiotekniikkaa ja fotokuvioitavia pastoja tai yhteissintrattavia monikerroskeraameja (LTCC), joissa voi olla lisäksi haudattuja komponentteja.

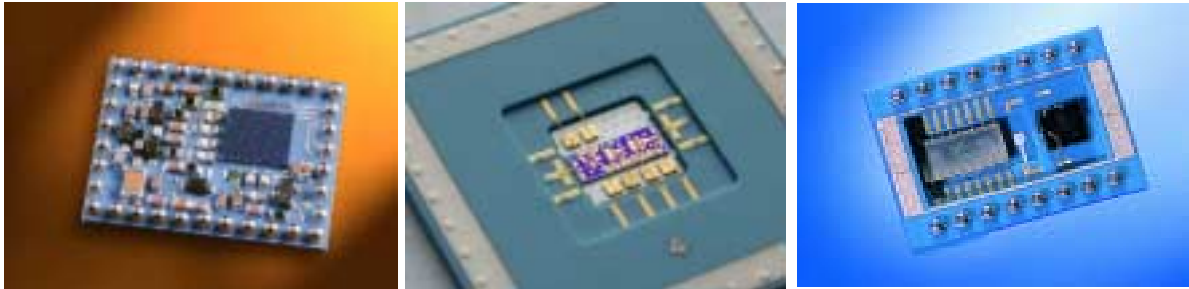


Kuva 4.2. Keramiikkapohjalevyjen "via-valmistuksen" kehitystrendejä.

Käyttämällä erikoispastoja ja -verkkoja sekä puhdistiloja voidaan perinteisen paksukalvotekniikan 150–200 µm minimiviivanleveydestä päästä laboratorio-olosuhteissa 50 µm viivanleveyteen. DuPont on kehittänyt fotokuviointia hyväksikäyttävän Fodel®-paksukalvoprosessin. Tekniikalla päästään fine-line-johtimiin, joiden leveys ja viivaväli ovat 40 µm ja 50 µm. Uusilla erikoismenetelmillä on mahdollista saavuttaa jopa 25 µm

minimijohdinleveys. Paksukalvojohtinkalvojen tarkkuuskuvioinnissa voidaan käyttää foforesistiä ja tavanomaista syövytysprosessia, jolloin aluminalle valmistetuilla paksukalvojohtimilla on päästy alle 50 µm viivanleveyteen. Siirtopainotekniikalla on mahdollista toteuttaa alle 50 µm painatuksia.

Monikerrosjohdotusten sekä haudattujen passiivikomponenttien ansiosta moduulikoot saadaan pienemmiksi. Tiheämmin pakatuista komponenteista on sekin hyöty, että siirtolinjahäviöt saadaan pienemmiksi. Itse prosessin ja materiaalien hinta on vielä kuitenkin rajoittava tekijä, mutta teknologioiden yleistyessä näiden uskotaan laskevan. On myös huomioitava se, että mitä monimutkaisemmasta järjestelmästä on kyse, sitä kilpailukykyisemmäksi nämä teknologiat tulevat, kun niiden avulla voidaan merkittävästi pienentää kokoa ja vähentää tarvittavia komponenttimääriä. Ja luonnollisesti sovelluksissa, joissa vaaditaan esim. pientä kokoa, jo tämä pelkästään saattaa riittää käytön perusteeksi. Monimutkaisempiin rakenteisiin (5–50 signaalikerrosta) HTCC ja ennen kaikkea LTCC tulevatkin arvioiden mukaan olemaan vallitsevat tekniikat. Jo nyt Ericssonin LTCC-tekniikalla toteutetussa Bluetooth-moduulissa on saavutettu 50 % säästö koossa ja 20 % säästö hinnassa verrattuna FR4:n käyttöön [Barnwell2001]. Esimerkkejä LTCC-tekniikan käytöstä tietoliikennemoduuleissa ja MEMS-komponentin pakkaamisessa on oheisessa kuvassa (Kuva 4.3).



*Kuva 4.3. Esimerkkejä LTCC-tekniikan käytöstä tietoliikennemoduuleissa ja MEMS-komponentin pakkaamisessa (oikealla).*

Langattomien sovellusten lisääntyessä ja taajuuksien kasvaessa pienihäviöisten keraamimateriaalien merkitys korostuu, kun uusia komponentteja sijoitetaan lisäksi yhä uusiin ympäristöihin. Keraamisissa liitosalustoissa pääasialliset kehitystarpeet ovat:

- Keraamimateriaalien toleranssien tulee olla tiukempia sekä leveyden, pituuden ja paksuuden että tasaisuuden ja käyristymisen suhteen (m.l. kutistuminen).
- läpivientien halkaisijat ja etäisyyksien pienentäminen; laatu ja soveltuvuus pastaprosessointiin

- protosarjojen tuotantoon saannin nopeuttaminen, ja siten koko tuotantoprosessin nopeuttaminen
- kustannusten alentaminen kilpailukyvyyn säilyttämiseksi (materiaalien & prosessien hinnat, saanto)
- usien (sovelluskohtaisten) materiaalien kehittäminen (matala dielektrisyysvakio eristykseen, korkea tai vaihtuva dielektrisyysvakio kondensaattorirakenteisiin, magneettiset materiaalit aktiivisiin komponentteihin,...)
- suunnitteluvälineiden kehittäminen
- kuparimetalloinnin kehittäminen: johdotusten suojaus, passiivikomponenttien kehitys, suuret substraatit, kapeat viivat, läpiviennit, edulliset prosessit
- keramiikkaan integroitavat säädettävät, aktiiviset ja MEMS komponentit.

*Taulukko 4.9. Keraamisten substraattimateriaalien ominaisuuksia [JEITA2001].*

Item	Class	2003	2010
Dielectric constant (@1GHz)	All	4–20	3→100
Dielectric dissipation factor (@1GHz)	All	.001	.0005
CTE (ppm/°C)	All	5–12	5–12

*Taulukko 4.10. IMAPS Ceramic Substrate Interconnection Technology – 2000: Roadmap of quantified key attributes for thick film and LTCC.*

Driver	Enabling Attribute	2001	2005	2011
Size reduction	Via size Line width	50 µm 30 µm	40 µm 20 µm	25 µm 15 µm
Increased density	Via pitch Line pitch	200 µm 60 µm	120 µm 40 µm	75 µm 30 µm
Connectivity	Line size and spacing	40 cm/cm <sup>2</sup>	200 cm/cm <sup>2</sup>	267 cm/cm <sup>2</sup>
Time-to-market	Cycle time			
– Commercial prototype		30 days	15 days	5 days
– Commercial production		15 days	10 days	5 days
– Hi-rel prototype		130 days	90 days	50 days
– Hi-rel production		75 days	40 days	20 days
Intimate elect./mech. interface	Hi-temp performance	+150°C	+175°C	+200°C
Size and cost reduction	Integrated passives		Wider range and improved frequency characteristics and tolerances	

## 4.5 Passiivien integrointi piirilevyyn

Piirilevytasolla pääpaino viivanleveyksien kaventamisen ja signaalikerroksien kasvattamisen lisäksi on haudattujen passiivien, sekä jopa aktiivikomponenttien, teknologioiden kehittämisessä. Haudattujen passiivikomponenttien käytön lisääminen pienentää kokoa jo sinälläänkin, mutta suuremman materiaalivalikoiman ansiosta niiden kokoa voidaan laskea vielä lisää (monikerrosrakente, joka sisältää esim. yhden korkean permittiivisyyden eristekerroksen mm. kondensaattorirakenteita tai keloja varten; muuten käytetään matalan permittiivisyyden materiaalia parasiittisten ilmiöiden minimoimiseksi).

Passiivikomponenttien integroimisella liitosalustaan voidaan suuresti parantaa pakkaus- tiheyttä ja toimintaa suurilla toimintataajuuksilla. Esimerkiksi vastuksia on jo pitkään voitu valmistaa hieman perinteistä piirilevyprosessia modifioimalla syövyttämällä lami- naattiin kuparifolion alla olevaan nikkeli-kerrokseen vastuskuvio tai polymeeripaksu- kalvovastuksilla. Kondensaattoreita on valmistettu käyttämällä monikerrosrakenteen yhtä kerrosta kondensaattorin eristekerroksena. Tulevaisuudessa kehitys tähän suuntaan voi- mistuu ja tavoitteena on ennen kaikkea kehittää halpoja prosesseja. Esimerkiksi Georgia Techissä on tehty useita projekteja alalta, kuten täytettyjen polymeerieristeiden materi- aalien ja prosessoinnin sekä korkean magneettisen permeabiliteetin materiaalien ja re- sistiivisisten materiaalien kehitystä.

Esimerkkinä voidaan mainita, että GSM-päätelaitteissa on yhä n. 350–400 komponenttia, joskin 3G:ssä niiden määrän oletetaan laskevan noin sataan [PIDEA2001]. Asian merkit- tävyyttä havainnollistaa myös se, että passiivien nykyinen määrä suhteessa aktiivikompo- nentteihin on tyypillisesti luokkaa 1...30:1, ja ne edustavat 30 %:a juotosliitoksista, 40 %:a alasta ja 90 %:a kokoonpanoajasta [Viklund2002]. NEMI Roadmapin mukaan vuosi- kymmenen loppuun mennessä esim. mobiililaitteissa passiivikomponenttien tiheys piiri- levyllä kasvaa n. 50 %, kun taas korttien koot pienenevät 30 %. Passiivikomponenttien määrän arvioidaan 2009 olevan 1 500, joista diskreettejä 40 % (nykyisin n. 70 %).

*Taulukko 4.11. Passiivikomponenttien tyypit ja lukumäärät PC-emolevyillä [Marcanti2001].*

	<b>486</b>	<b>Pentium 120</b>	<b>Pentium 200 MMX</b>	<b>Pentium II 333 MHz</b>	<b>Pentium III</b>
Leaded MLC	58	0	0	0	0
Surface mounted MLC	0	151	190	300	600
Cap arrays (4)	0	0	32	140	200
Leaded tantalum	15	1	0	0	0
Surface mounted tantalum	0	0	0	37	80
Aluminium	0	7	32	11	15
Feedthrough	0	0	3	0	0
Disks	0	0	0	4	0
Leaded resistors	92	0	0	0	0
Surface mounted resistors	0	146	188	635	1 000
Resistor arrays (x2)	0	0	0	10	0
Resistor arrays (x4)	0	64	148	336	300
<i>Total</i>	<i>165</i>	<i>369</i>	<i>593</i>	<i>1 473</i>	<i>2 195</i>

Tarve liitosalustaan haudattuihin, joko ohut- tai paksukalvotekniikoilla valmistettuihin passiivikomponentteihin syntyy tarpeesta tilan säästöön, suorituskyvyn parantumiseen (lyhyemmät siirtojohdot, vähemmän kontakteja) ja kustannussäästöihin. Haudattuja passiivieja käytetään kuitenkin ainoastaan, kun niillä saavutetaan kilpailuetua, joko hinnan, toimintakyvyn tai toiminnallisuuden kautta. Peruste haudattujen käyttöön löytyy myös siitä, että erilliskomponenttien ja liitosten parasiittiset induktanssit ja kapasitanssit eivät vastaa vaatimuksia. Kilpailu vakiintuneiden erilliskomponenttien ladonnan kanssa on kuitenkin kovaa. Esimerkiksi erillisvastukset ovat edullisia ja niiden toleranssit tiukat (haudatuissa passiiveissa tyypillinen tarkkuus on noin 5 % eli IC-passiivien ja erilliskomponenttien välillä). Toisaalta se, että piirilevyille tarvitaan yli 1 000 kontaktaa ja esim. piirien suoraliitännässä tarvitaan alle 50 µm resoluutiota, asettaa SMT:lle kovia haasteita.

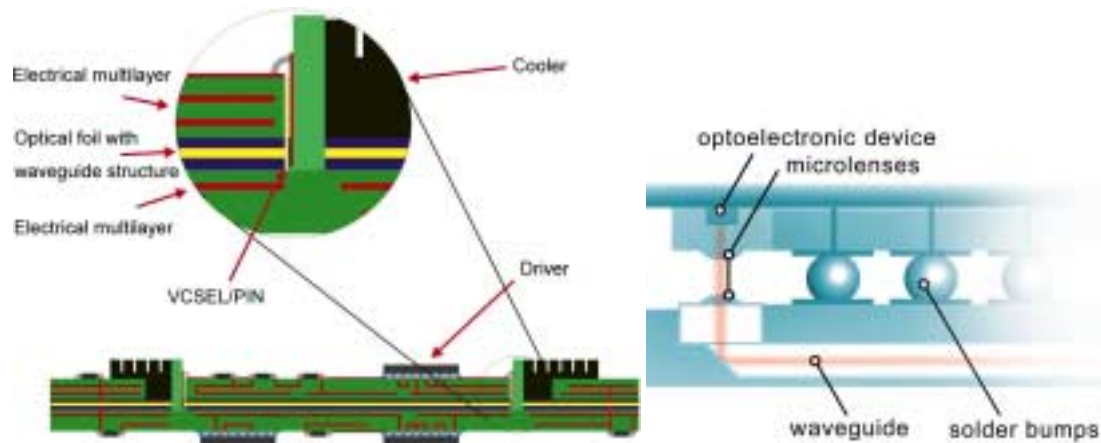
## 4.6 Optiikan integrointi piirilevyyn

Tavanomainen piirilevytekniikka (FR-4) alkaa olla järkevin toimenpitein saavutettavan suorituskyvynsä ylärajoilla n. 10 Gb/s siirtonopeudella yhtä differentiaalista siirtojohtoa kohden. Eräs mahdollisuus vastata yhä kasvaviin piirilevyväylien kapasiteettivaatimukseen olisi täydentää sähköistä signaalinsiirtoa optisella siirtotiellä, jonka kaistaleveys on huomattavasti suurempi. Myös ylikuulumisongelmat sekä sähkömagneettiset immuni-teetti- ja yhteensopivuusasiat (EMI/EMC) olisivat helpommin hallittavissa.

Todettakoon, että tällä hetkellä valokuituihin perustuvia liityntöjä käytetään jo paljon piiri- ja taustalevyjen väliseen tiedonsiirtoon, mutta valokuitulinkkien yleistymistä lyhyemmällä etäisyyksillä rajoittavat kaapelointityyppinen käsiteltävyys, kuitujen ja liittimien tilantarve sekä useissa sovelluksissa valokuitulähetin- tai vastaanotinmoduulien korkea hinta. Jonkin verran käytetään myös ns. "kuituoptisista taustalevyjä", joissa suuri määrä paljaita kuituja on laminoitu taipuvien kalvojen väliin ja järjestelty esim. ristikykentään. Ns. vapaan tilan optisia liityntöjä on myös ehdotettu komponenttien väliseen tiedonsiirtoon piirilevyillä, mutta hyvän suorituskyvyn saavuttaminen vaikuttaa erittäin haasteelliselta, erityisesti suurten mekaanisten kohdistustarkkuusvaatimusten vuoksi. Niinpä vapaan tilan optinen siirto kelvanee vain joihinkin erikoissovelluksiin, esim. EMI-kriittisiin laitteisiin, joissa myös tilaa vievien optiikkakomponenttien käyttö on mahdollista.

Seuraavaksi askeleeksi ennustetaankin optisten siirtolinjojen integrointia osaksi piirilevyä. Kuvioimalla optisesti läpinäkyvää materiaalia piirilevyyn valmistetaan ns. valokanavia (vrt. sähköiset liuskajohtimet) ja siten piirilevyille muodostuu "optisia johdotuskerroksia". Logiikkasignaali kulkee valon intensiteettimodulaationa lähettimeltä eli laser-diodilta (tyypillisesti VCSEL) vastaanottimelle, jossa ilmaisindiodi ja vahvistin muuntavat signaalin takaisin sähköiseksi. Optoelektroniset lähetin- ja vastaanotinkomponentit voidaan toteuttaa pintaliitostekniikoilla (esim. flip-chip) ja haluttaessa integroida elektroniikkapiirien kanssa samaan koteloon.





Kuva 4.4. Esimerkkejä optosähköisestä piirilevyteknologiasta; vasemmalla laminoituun kalvoon perustuva demonstraattori [Griese 2002], oikealla mikro-optisen kytkennän periaate.

Elektroniikan ja optiikan valmistuksen keskeisenä erona ovat optiikan puhtaus- ja tarkkuusvaatimukset. Optisen signaalin vaimentumiseen vaikuttavat aineen ominaisabsorption lisäksi rakenteen epäideaalisuuksista, kuten pinnankarheudesta, aiheutuvat sirontailmiöt. Valokanavan valmistuksessa voidaan käyttää perinteisiä paksukalvo- ja mikrotyöstötekniikoita. Useissa demonstraatioissa kanava on valmistettu kuvionsiirtotekniikalla valolitografiaa ja märkä- tai kuivasyövytysprosesseja käyttäen. Olemassa oleva tuotantokalusto ja hyvin tunnetut prosessit ovat litografian etuina. Perinteiset mikrooptiikan replikointitekniikat, kuten kuumakohokuviointi ja ruiskuvalaminen, sopivat myös valokanavan valmistukseen. Tällöin optinen kerros voidaan valmistaa erillisenä kalvona, joka laminoidaan jälkepäin piirilevyn pinnalle tai kahden levyn väliin. Erittäin replikointitekniikoiden ongelmana on kuitenkin ollut vaikeus saavuttaa riittävän matalaa valokanavien pinnankarheutta.

Polymeerien etuja materiaalivalinnassa piirilevytason valokanaville ovat mekaaninen kestävyys, laaja matalanlämpötilan prosessointimenetelmien valikoima, edullinen hinta ja keveys. Toistaiseksi saatavilla on vain vähän valokuvioitavia paksukalvopolymeerejä, joiden optinen vaimennus olisi riittävän pieni jopa useiden kymmenien senttimetrien siirtolinjoihin. Erittäin lupaavia materiaaleja on kuitenkin hiljattain julkaistu. Esimerkiksi Terahertz Photonics on modifioinut ftoniikkakomponentteihin tarkoitettua optista polymeeriä piirilevyteknologian vaatimusten mukaiseksi, kuten kestäväksi juotoslämpötiloja. Lasimateriaaleilla on erinomainen valon läpäisevyys ja niidenkin käyttöä tutkitaan edelleen, lähinnä replikoitavien laminaattien toteuttamiseksi.

Optisissa piirilevyissä suuri haaste on valotehon kytkeminen lähettimestä (laser) valokanavaan ja vastaanottimen puolella kanavasta valoilmaisimelle ilman merkittäviä häviöitä. Kytkentähäviö ei myöskään saisi oleellisesti kasvaa kokoonpanossa syntyvien paikoitusvirheiden seurauksena. Vaikka kytkentähäviösuhtetta sekä asemointitolerans-

seja voidaan parantaa mikro-optisilla komponenteilla, kokonaistarkkuusvaatimukset ovat vain muutaman kymmenen mikronin luokkaa eli hyvin haasteellisia nykyteknologioille. Optiset liittynät tuovat myös lähes väistämättä uusia vaatimuksia pakkaus- ja kokoonpanoteknologioihin. Esim. underfill-materiaalien tulee olla läpinäkyviä kyseisellä aallonpituudella ja underfillien käyttöä luultavasti myös tarvitaan optisen kanavan luotettavuuden varmistamiseksi.

Optosähköinen piirilevyteknologia on vasta kehitysasteella, mutta sitä pidetään erittäin lupaavana. Käyttöönoton helpottamiseksi toiveissa on, että optiset väylät voitaisiin toteuttaa ilman merkittäviä muutoksia perinteiseen piirilevyteknologiaan – lisättäisiin vain vaihe, jossa optinen kerros valmistettaisiin käyttäen normaaleja prosessointilaitteita. Vastaavasti myös optisten väylien suunnittelumenetelmiä pyritään integroimaan perinteisiin menetelmiin. Itse asiassa optiikka saattaa jopa helpottaa suunnittelijan työtä, koska ei tarvitse optimoida siirtolinjoja impedanssiepäjatkuvuuksien suhteen.

Uusimmilla kaupallisilla komponenteilla päästään 10 Gb/s nopeuteen siirtolinjaa kohti, mutta komponenttitekniologioissa nähdään kehityspotentiaalia vielä suurempiin nopeuksiin. Piirilevyille toteutettavien optisten siirtolinjojen optimaalinen poikkileikkaus lienee 50  $\mu\text{m}$ :n suuruusluokkaa, lähinnä komponenttien kohdistamisvaatimusten vuoksi. Joten rinnakkaisissa valokuituväylissä standardiksi muodostunut 250  $\mu\text{m}$ :n jakoväli (laser- ja ilmaisinväylille) valittaneen myös piirilevyteknologiaan, mutta kanavatiheyden kaksinkertaistaminenkin lienee jatkossa mahdollista.

Optisen piirilevyteknologian kaupallistumisaikataulua on vaikeaa ennustaa, koska monia kysymyksiä erityisesti kanavan liityntärajapinnan luotettavuuden osalta on vielä ratkaisematta ja varmistamatta. Ei ole myöskään varmuutta, selvittääkö ilman merkittäviä muutoksia nykyisiin valmistus- ja suunnitteluprosesseihin. Komponenttien ja materiaalien hintoja ei vielä tiedetä suurissa volyymeissä. Joissain tapauksissa optiikan kilpailijoita tulevat luultavasti olemaan erikoismateriaaleihin perustuvat sähköiset piirilevyt, mutta edellä mainituista syistä hintavertailu on vielä vaikeaa. Optimistisimmat arvioit puhuvat vain 3–5 vuodesta ensimmäisten kaupallisten tuotteiden kohdalla. Joka tapauksessa voidaan olettaa, että ensimmäisenä optosähköiset piirilevyt tulevat vähemmän kustannuskriittisiin erikoissovelluksiin, joissa vaaditaan hyvin suurta tiedonsiirtokapasiteettia ja hyviä EMC/EMI-ominaisuuksia. Vaikka optiikan suuri kaistanleveys onkin parhaiten eduksi suurissa piirilevyissä, saatetaan optiikka ottaa pian käyttöön myös pienissä moduulityyppisissä piireissä, kuten keraamialustoilla (esim. LTCC) ja build-up-levyissä. Näissä optisten väylien toteuttaminen on luultavasti myös helpompaa parempien mekaanisten tarkkuuksien ansioista.

## 4.7 Ohutkalvomonikerrosrakenteet

Ohutkalvomonikerrosrakenteita on käytetty MCM-D-tuotannossa jo yli kymmenen vuoden ajan. Tekniikassa käytetään yleensä kupari- tai alumiinijohdotusta erityyppisten polyimidi- tai benzocyclobutaani-eristekerrosten kanssa. Ohutkalvomonikerrostekniikoiden etuna on mahdollisuus erittäin tiheisiin johdotuksiin ja ohuisiin dielektrisiin kerroksiin. BCB (Benzocyclobutene) on herättänyt viime aikoina myös mielenkiintoa, sen ollessa varsin vähähäviöinen myös millimetritaajuuksilla. Ohutkalvomonikerrosrakenne voidaan valmistaa useiden eri substraattimateriaalien pinnalle, kuten LTCC-keramille, aluminalle, alumiininitridille tai piille. Johdinleveyden pienentyessä alle 15 µm:iin on käytettävä syövytyksen sijasta additiivisia metallointimenetelmiä. Läpivientireiät kerrosten välille valmistetaan joko käyttämällä fotokuvioitavaa eristettä, kuivasyövyttämällä tai laserablaatiolla. Puolijohdesirujen liitosalueiden (flip-chip, lankaliitos, TAB) pinnoitteena käytetään yleensä kupari-nikkeli-kultakerrosta. Tuotannossa pystytään jo valmistamaan kuusikerroksisia rakenteita. Liitosalustojen kasvavat suorituskykyvaatimukset edellyttävät passiivikomponenttien (vastukset, kelat ja kondensaattorit) integroimista myös ohutkalvoliitosalustaan muun prosessin kanssa.

Nykyisin haittapuolina ovat vielä hinta, prosessoinnin kalleus, vaadittavat kehittyneet prosessilaitteet sekä korkeat tarkkuusvaatimukset, jotka saattavat esim. edellyttää laservirityksen käyttöä. Monikerrosohutkalvorakenteiden kustannusten alentaminen on merkittävä haaste tekniikalle. Suuripinta-alaisten liitosalustojen (LAP, Large Area Panels) käyttäminen merkitsee kustannustason alentumista. Tavoitteena on suurempi aihokoko ja piirilevyjen kustannustaso.

Taulukko 4.12 esittää ohutkalvomonikerrosrakenteiden valmistuksen tämänhetkisen tason ja ennusteen tekniikan kehittymisestä vuoteen 2011 mennessä.

*Taulukko 4.12. IMAPS Ceramic Substrate Interconnection Technology – 2000: Thin film multilayer roadmap.*

<i>Driver</i>	<i>Enabling Attribute</i>	<i>2001</i>	<i>2005</i>	<i>2011</i>
Cost	Panel size	5"–6" dia or 12" sq.	16"–24" sq.	16"–24" sq
Density	Via size	20 µm	8 µm	5 µm
	Line width	18 µm	8 µm	5 µm
	Line pitch	45 µm	15 µm	10 µm
Complexity	Thin film layers	4–6	7–9	8–10
	Base layers (ceramic)	~60	~60	~60
	Base layers (organic)	2–4	5–9	6–10
Connectivity	Flip chip bump pitch	200 µm	75 µm	50 µm
Noise reduction	Integrated decoupling	~50 nF/in <sup>2</sup>	~250 nF/in <sup>2</sup>	~500 nF/in <sup>2</sup>
Signal integrity	Integrated AC termination	No	Yes	Yes

## 4.8 Painettava elektroniikka: mahdollisuudet ja haasteet

Viime vuosien aikana uudentyyppisten elektronisten ja optisten materiaalien, mm. polymeeri- ja hybridimateriaalien, kehittymisen myötä ovat rullalta-rullalle- (syväpaino, off-set, flexo, ink-jet ja silkipaino) menetelmät nousseet lupaaviksi tulevaisuuden elektronisten ja optisten komponenttien valmistustekniikoiksi. Edellä mainituilla menetelmillä kyetään nykyisin tuottamaan yksinkertaisia passiivisia ja aktiivisia komponentteja, joiden integrointiaste on vaatimattomalla tasolla. Edelleen, rullalta-rullalle-tekniikoilla valmistettujen komponenttien suorituskyky ei ole vielä perinteisten teknologioiden avulla tuotettujen komponenttien tasolla. Kuitenkin, rullalta-rullalle-tekniikoiden avulla saavutettavat todella suuret tuotantomäärät yhdessä kustannustehokkaiden valmistusmenetelmien sekä joustavien ja edullisten substraatti-materiaalien (paperi, muovi) kanssa mahdollistavat valmistettavien komponenttien integroimisen erityisesti päivittäistavarapakkauksiin ja erityyppisiin painotuotteisiin.

Uusia elektroniikan valmistustekniikoita tutkitaan mm. MIT Media Labissa, jossa tutkimus on keskittynyt digitaalipainamiseen. Halutut komponentit valmistetaan nykyisten mustesuihkukirjoittimien kaltaisilla laitteilla. Princetonin yliopiston ryhmä on kehittänyt menetelmää, jossa polymeeri ink-jet tulostetaan liuksena alustalle, jonka jälkeen jäljelle jää varsinainen polymeerikerros. Sovelluskohteiksi ryhmä on maininnut orgaaniset valoa emittoivat diodit (OLED) ja transistorit. Lisäksi ryhmä on kuvannut ink-jet-tulostuksen hyödyntämismahdollisuuksia OLED:n elektrodien sekä näytönohjauksen passiivi- ja aktiivimatriisien valmistamiseksi. Myös Cambridgen display tech -ryhmä on raportoinut valmistaneensa RGB-näytön, jossa pikselit on valmistettu ink-jet-tekniikalla. Perusideana on tulostaa näytön pikselit suoraan aktiivimatriisin kytkentäelementtien päälle. Acreo (Ruotsi) tutkii Paella-projektissa erilaisten musteiden ja silki-, offset-, digitaali- ja kuivapainomenetelmien avulla toteutettavaa paperielektroniikkaa käytettäväksi näyttöjen, sensorien ja langattoman tiedonsiirron sovelluksissa. Brunelin yliopisto (Englannissa) tutkii piirilevyjen painamista paperialustalle käyttämällä hopeapohjaisia painomusteen kaltaisia materiaaleja. Myös UCLA:ssa nanopartikkelisten musteiden avulla on valmistettu mm. erityyppisiä sähköisiä kytkinelementtejä. Rolltronics (Yhdysvalloissa) omaa huomattavasti pidemmälle tähtäävän näkemyksen. Rolltronics aikoo valmistaa parin vuoden tähtäimellä paperinkaltaisia laminoituja ja joustavia elektronisia laitteita, kuten mikroprosessoreita, sensoreita, muistimoduuleja jne., joiden valmistus pohjautuu osittain jo heidän kehittämiinsä transistoreiden, muistiyksiköiden ja näyttöelementtien rullalta-rullalle-valmistustekniikoihin.

Myös Suomessa rullalta-rullalle-tekniikat elektroniikan, optiikan ja optoelektroniikan valmistuksessa ovat herättäneet kiinnostusta. Oulun yliopistossa on tutkittu hopeapohjaisten johtimien siirtopaino- ja kasvatustekniikoita. VTT yhdessä suomalaisten yliopistojen kanssa on käynnistänyt Tekesin ELMO-ohjelmaan kuuluvan Printo-projektin,

jonka tavoitteena on demonstroida yksinkertainen moduuli, joka sisältää yksinkertaisen näytön, energialähteen sekä tarvittavat sähköiset ja optiset komponentit.

Rullalta-rullalle-valmistettavien (Kuva 4.5) komponenttien tutkimus suuntautuu tulevaisuudessa nykyistä (100 µm:n viivan leveys, moduulin koko, esim. A4) huomattavasti korkeampaan pakkaustiheyteen. Tavoitteen saavuttaminen vaatii rullalta-rullalle-tekniikoihin sekä materiaalitekologioihin syvälle puretuvaa tutkimusta. Myös rullalta-rullalle-valmistettavien yksittäiskomponenttien ja nykyisin käytössä olevien teknologioiden integrointi vaatii huomattavaa panostusta. Esimerkkinä tämäntyyppisestä teknologioiden integroinnista voi toimia rullalta-rullalle-tekniikalla toteutettujen valokanavakomponenttien liittäminen piirilevyyn optiseksi tiedonsiirtokerrokseksi. Rolltronicsin visioimien mikroprosessorien, sensoreiden ja muistimoduulien valmistaminen vaatii rullalta-rullalle-tekniikoilla valmistettujen komponenttien uusia pakkaus- ja liittäntechnologioita. Tämäntyyppisiä teknologioita ei vielä kovin hyvin tunneta, joten A4-arkille toteutettu yksinkertainen tietokone näkee päivänvalon vasta useiden vuosien kuluessa.



*Kuva 4.5. VTT Elektronikan PICO-painokone optiikan ja elektronikan rullalta-rullalle-valmistukseen.*

## 5. System on package -moduuliteknologiat

### 5.1 Systeemi mikropiirillä

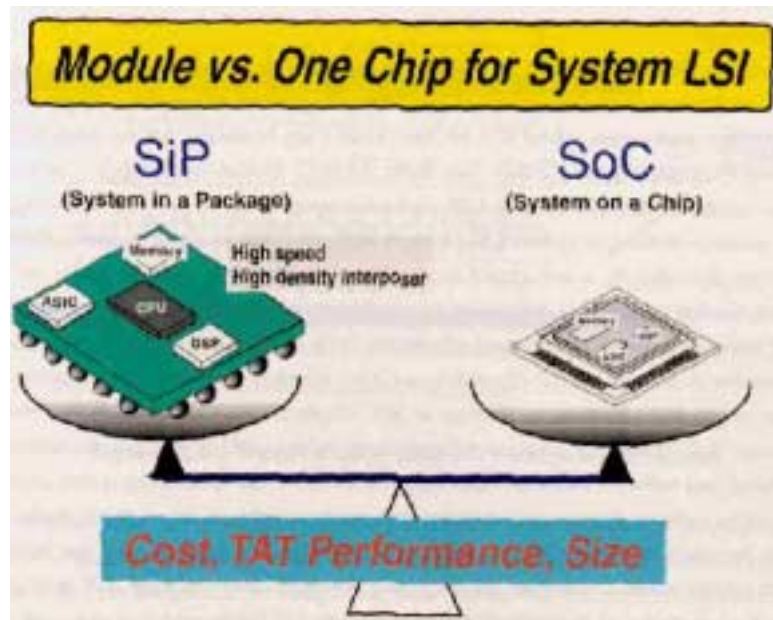
Monesti ideaalisena tavoitteena pidetään sitä, että kaikki mahdolliset yhden kokonaisen systeemin muodostavat komponentit voitaisiin integroida yhdelle mikrosirulle (SoC "systeemi mikropiirillä" -ajattelu), jolloin saavutettaisiin suurin mahdollinen tilansäästö, systeemi olisi helpompaa optimoida ja päästäisiin eroon lukuisista kokoonpanovaiheista. Tämä ei kuitenkaan yleensä ole mahdollista. Muun muassa taloudellisten sekä toiminnallisten seikkojen vuoksi piirien integrointiasteen kasvulla on omat rajansa. Laitesuunnittelussa ei jokaista systeemin osaa voida optimoida jo pelkästään kustannusten vuoksi. Esim. ASIC-piirien kalleus verrattuna standardinmukaisiin IC-piireihin sekä niiden suunnittelu- prosessista seuraava pidempi kehitysprojektin kesto pakottavat useimmiten käyttämään useampia erillisiä valmiskomponentteja ja -piirejä, jotta lopullinen tuote olisi taloudellisesti kannattava. Vaikka joitain komponentteja voitaisiin integroida samalle sirulle, se ei välttämättä ole toiminnallisuudenkaan kannalta kannattavaa. Esim. passiivikomponentit vievät runsaasti tilaa, mikä nostaa mikrosirun hintaa huomattavasti, minkä lisäksi niiden tämänhetkiset toleranssit eivät ole riittäviä kaikkiin tarkoituksiin. Eri tarkoituksiin tarvitaan erityyppisiä komponentteja ja eri materiaaleja, ja näiden yhdistäminen samaan tuotantoprosessiin ei ole aina mahdollista mm. epäpuhtausongelmien takia. Esim. MEMS-komponentteja ei usein kannata integroida IC:lle, koska se lisää prosessivaiheita eli hintaa sekä prosessin monimutkaisuutta. Korkeataajuus- tai fotonikan komponentit taas valmistetaan yleensä yhdistepuolijohteista, joiden prosessointi on kallista, joten piirien muut osat kannattaa yleensä toteuttaa halvalla piiprosessilla.

### 5.2 Systeemi "paketissa"

Mikropiiridimensioiden pienentyessä ja kontaktimäärien ja johdotustiheyksien kasvaessa on esiin noussut myös yhä enemmän tarve siirtää osa kokoonpano- ja pakkaustekniikasta erilliseen prosessiin, jossa voidaan saavuttaa suurempi tarkkuus. Näin kootuille moduuleille, joiden kontaktimäärät voivat sitten olla alhaisempia, kokoonpano voidaan toteuttaa alhaisemmilla toleransseilla eikä niiden ladonta vaadi erikoisprosesseja. Näin vältetään se, että koko prosessissa jouduttaisiin siirtymään kalliimpaan teknologiaan.

Eri käytännön syyt siis pakottavat jakamaan piirit useampaan erikseen toteutettavaan osaan. Näiden tehokkaan yhdistämisen luomat tarpeet sekä korkean integrointiasteen komponenttien helppokäyttöisyys ovat luoneet SoP-ajattelun (SoC "systeemi mikropiirillä" -ajattelu v.s. SoP "systeemi paketissa", ks. Kuva 5.1.). Samanaikaisesti suunnitellaan ja valmistetaan, ei pelkästään yksittäisiä mikropiirejä, vaan suurempia kokonaisuuksia, moduuleita, jotka muodostuvat useammista mikropiireistä sekä erilliskompo-

nenteista mutta jotka pakataan yhteen koteloon, jota voidaan sitten käsitellä vastaavasti kuin pakattuja mikropiirejäkin. Perus- tai jopa asiakaskohtaiset erikoismoduulit sitten muodostavat kokonaisen systeemin, tai niistä voidaan koota eri yhdistelmin erilaisia kokonaisuuksia ("lego-palikka").



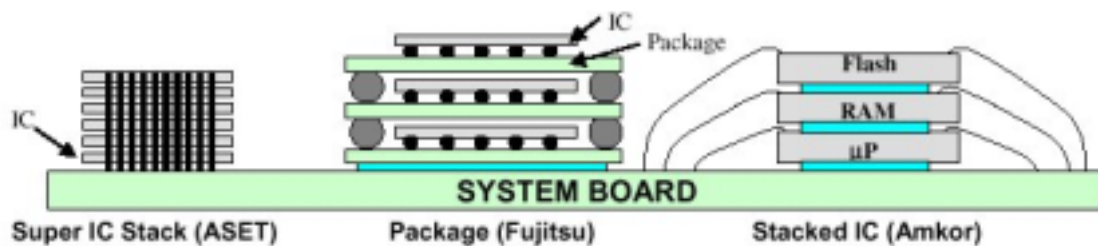
Kuva 5.1. SiP vs. SoC [JEITA2001].

Erityyppisten moduulien määrän nähdäänkin jatkuvasti lisääntyvän. Valmiita moduuleita myydään jatkossa, kuten IC-piirejä nykyisin monesti, sisältäen ohjelmitavia ominaisuuksia monikäyttöisyyden lisäämiseksi. Ne voivat samanaikaisesti sisältää (yksittäispakattuja) mikropiirejä (analogia ja digitaali), MEMS- ja erilliskomponentteja, optoelektronisia komponentteja sekä multi-chip-moduuleita. Näiden vaatimissa kontaktitiheyksissä, toleransseissa, dimensioissa, käyttöjännitteissä ja signaalitajuuksissa voi olla merkittäviä eroja, mikä hankaloittaa suuresti kokoonpanoprosessia, mikäli ne kaikki ladottaisiin samassa prosessissa yhdelle piirilevyille.

Koon pienentyessä, elektronisten sistemien mutkistuessa ja niiden osien jakautuessa useaan eri tekniikoilla toteutettavaan osaan syntyy myös ongelmia – ennen kaikkea suunnitteluteknisiä. IC-suunnittelua ei voi enää toteuttaa erillisenä, riippumattomana toimintona piiri- ja systeemisuunnittelusta. Puolijohdeteknologian, pakkausteknologian ja systeemiteknologian raja-aidat ovat hämärtyneet. Jatkossa täytyy siirtyä entistä kokonaisvaltaisempaan suunnitteluun, jossa prosessitekniologiaa, pakkausta ja piirilevykokoonpanoa täytyy katsoa kokonaisuutena ja näin suunnitella optimoitu integroitu systeemitaso ratkaisu. Myös hinnan, suorituskyvyn ja koon suunnitteluvaiheen optimoinnissa tarvitaan tehokkaita uusia välineitä, jotka ottavat koko systeemin huomioon.

### 5.2.1 Pinotut rakenteet

Moduulijattelu on kuitenkin voimakkaasti lisääntymässä kehitystoimien painottuessa mm. moduulien sähköisen toiminnan optimoimiseen, monitoiminnallisten komponenttien yhdistämiseen sekä – luonnollisestikin – koon optimointiin. Erityisesti kehitetään erilaisia 3D-rakenteita, joilla näiden moniosaisten kokonaisuuksien pinta-alaa saataisiin Hyvä esimerkki näistä on pinottuihin piireihin perustuvat rakenteet (stacked chips), joissa sirut ladotaan päällekkäin. Vastaavasti voidaan luonnollisesti myös yksittäisiä komponenttikoteloita pinota päällekkäin ("stacked CSP") (ks. Kuva 5.2.).



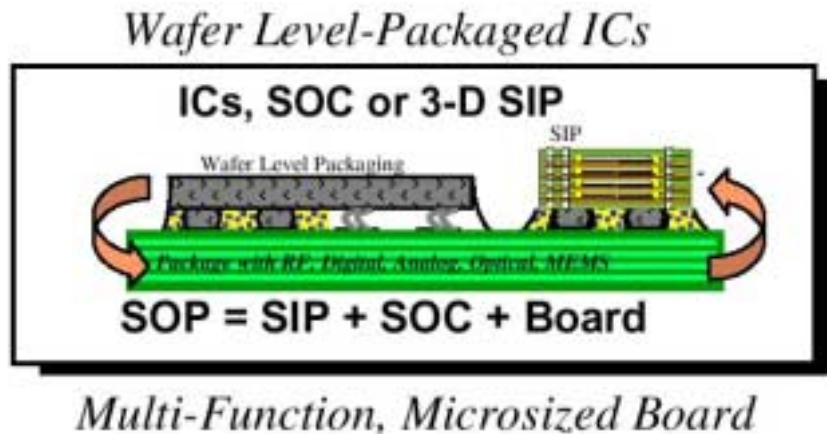
Kuva 5.2. Esimerkkejä pinottuihin piireihin perustuvista rakenteista (stacked chips), joissa sirut ladotaan päällekkäin (Tummala2002).

Suunnittelun alla on myös täysin uusia, varsin innovatiivisia lähestymistapoja: Mietitään mm. "puolijohdepallojen" 3D-liittämistä [JEITA2001], jossa yksittäisiä joidenkin millimetrien läpimittaisia piipalloja pinotaan kolmiulotteiseksi rakenteeksi, jossa jokaiselle pallolle muodostetaan kontaktit lähinaapureihinsa, ja näin näistä palloista voidaan muodostaa erilaisia kolmiulotteisen rakennelman muodostavia kokonaisuuksia. Tämä sisältää vielä kuitenkin lukuisia ratkaisemattomia teknisiä ongelmia.

### 5.2.2 Komponenttien integrointi substraattiin

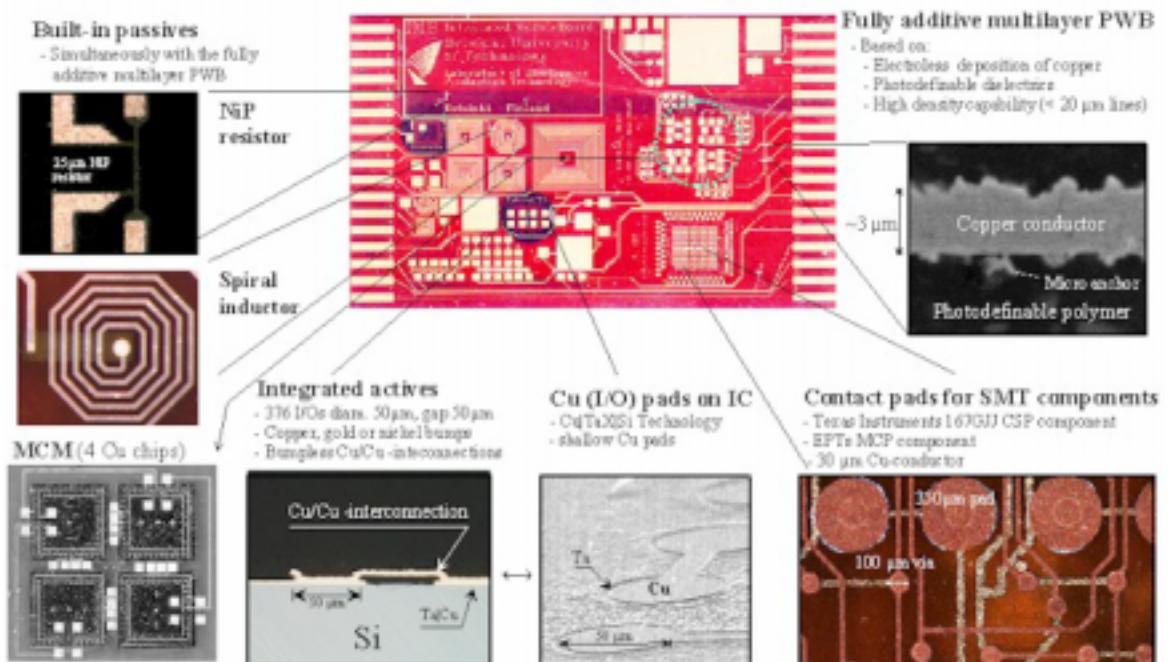
Substraattiin haudatuilla passiivikomponenteilla pystytään merkittävästi pienentämään kokoa (Kuva 5.3). Pakkaukseen integroitujen, substraattiin haudattujen passiivien lisäksi tutkitaan myös piirikortteihin haudattuja aktiivikomponentteja. Oletetaan, että noin vuonna 2007 piirikortteihin haudataan aktiivisia muisti-, logiikka- sekä lineaarikomponenttejäkin. Joidenkin sovelluksien kohdalla aikataulu lienee vieläkin nopeampi [JEITA2001].



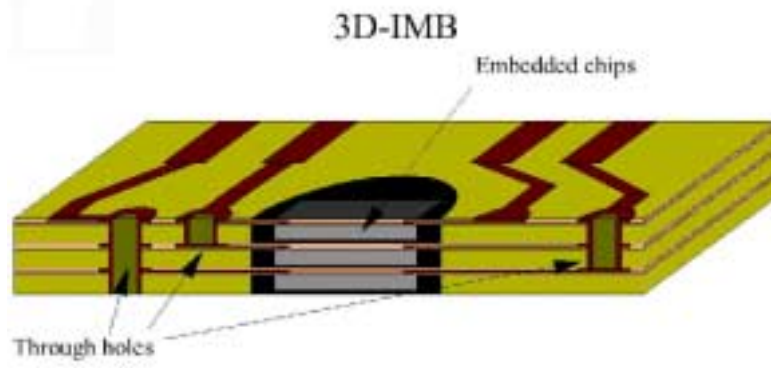


Kuva 5.3. SOP-konsepti (system on package), jossa myös substraattiin on integroitu erilaisia passiivisia komponentteja. (Tummala2002).

Ns. CIB- (Chip-in-Board; Kuvat 5.4, 5.5 ja 6.4) tekniikassa mikrosirut upotetaan piirilevyyn ja niiden kontaktit muodostetaan suoraliitoksella piirilevyltä piisirulle käyttämällä fotokuvioitavia polymeerejä ja kemiallista additiivista metalloinin kasvatusta ("electroless plating"). Näin kytkentäjohtimien pituudet saadaan erittäin lyhyiksi ja pakkaustiheys korkeaksi. Rakenne mahdollistaa passiivikomponenttien valmistamisen erittäin lähelle sirua, ja muutenkin tekniikka mahdollistaa 3D-rakenteiden muodostamisen ("stacked-IMB"). Pinoamalla mikrosiruja saavutetaan luonnollisesti merkittävä tilansäästö, mikä suoraan moninkertaistaa laitteen toimintakapasiteetin pinta-alayksikköä kohden.



Kuva 5.4. Integroitu moduulilevy (Elektroniikan valmistustekniikan laboratorio, Teknillinen korkeakoulu; <http://www.ept.hut.fi/>).



*Kuva 5.5. Upotettuja mikrosiruja pinottuna 3D-rakenteeksi [Tuominen2000].*

## 6. Liitostekniikoiden kehitys

### 6.1 Juottaminen

Juotosliittäminen tulee säilymään pitkään pääasiallisena liitostekniikkana. Juotosmateriaaleissa joudutaan kuitenkin jo lähivuosina siirtymään lyijyttömiin juoteseoksiin, koska lyijyn käyttö tullaan näillä näkymin kieltämään vuonna 2007. Tina-lyijyä korvaavat seokset tulevat ilmeisesti löytymään tina, hopean ja kuparin seoksista (Taulukko 6.1), joiden sulamispiste on n. 217°C. Uusien seosten korkeammat juotoslämpötilat (240–260°C) eivät aiheuta kovin suuria muutoksia juotosprosesseihin, mutta niiden vaikutus liitosten luotettavuuteen samoin kuin piirilevy materiaaleihin tulee tutkia perusteellisesti. On huomattava myös se vaikutus, mikä lyijyttömällä juotteilla tulee olemaan komponenttien luotettavuuteen. Prosessien teollistaminen on vasta alussa, joten kattavaa tietoa asiasta ei ole, mutta mitään oleellista muutosta ei tässä suhteessa ole odotettavissa. Itse asiassa on esitetty, että liitosten luotettavuus tulee jopa kasvamaan siirryttäessä korkeamman lämpötilojen juotteisiin [Syed2001].

*Taulukko 6.1. Suosituksia SnAgCu-juotteen optimipitoisuudeksi.*

	<b>Koostumus</b>	<b>Tarkoitus</b>
NEMI, USA	Sn-Ag3.9-Cu0.6	reflow-juottamiseen
ITRI, Eurooppa	Sn-Ag(3.4–4.1)-Cu(0.45–0.9)	reflow-, aalto- ja käsin-juottamiseen
JEITA, Japani	Sn-Ag3.0-Cu0.5	reflow-, aalto- ja käsin-juottamiseen
Patentit IOWA/AMES Lab., USA Senju/Matsushita, Japani	Sn-Ag(3.5–7.7)-Cu(1.0–4.0)- Bi(0–10 %)/Zn(0–1 %) Sn-Ag(3.0–5.0)Cu(0.5–3.0)	

Uudet komponentit ja siihen liittyvä liitostiheyden kasvu asettavat suuria haasteita liitostekniikoille. Piirin luotettavan toiminnan kannalta on edullista minimoida piirissä olevien liitosten määrä, koska liitokset heikentävät saantoa ja aiheuttavat luotettavuusongelmia tuotteiden pitkäaikaisessa käytössä. Lämpötilan vaihtelut rasittavat juotosliitoksia, mikä johtuu materiaalien erilaisista lämpölaajenemisominaisuuksista, ja saavat aikaan termistä väsymistä liitoksissa.

Komponenttikoteloiden ja paljaiden puolijohteiden liitosjakovälin pienentyminen asettavat kovia vaatimuksia kokoonpanoprosessille, sen luotettavuudelle ja saannolle. Taulukossa 6.2 on ennuste erityyppisten pintaliitoskomponenttien liitosjakovälin kehittymisestä vuoteen 2010 mennessä. Lisäksi mahdollinen sirukoon kasvu tekee liittämistä vielä vaikeampaa, sillä se lisää toleranssivaatimuksia (esim. taipumat, mittavirheiden

korostuminen, suuremmat kontaktimäärät) (Taulukko 6.3). BGA-komponenttien koon ei juurikaan oleteta muuttuvan nykyisestä. [JEITA2001].

*Taulukko 6.2. Piirilevylle liitettävien komponenttien spesifikaatiosta [JEITA2001]:*

Item	Class	2003	2010
Hole insertion Type Lead Pitch (mm)	Conventional	2.54	2.54
	Leading Edge	2.0	2.0
	State of the Art	1.7	1.7
SMT Type Terminal Pitch (mm)	Conventional	0.65	0.5
	Leading Edge	0.5	0.4
	State of the Art	0.4	0.3
Area Array Type Terminal Pitch (mm)	Conventional	1.0	0.8
	Leading Edge	0.65	0.4
	State of the Art	0.4	0.15

*Taulukko 6.3. Piirilevylle liitettävien komponenttien tarkkuustoleranssit [JEITA2001].*

Item	2003	2005	2010
Chip components ( $\mu\text{m}$ )	$\pm 50$	$\pm 30$	$\pm 30$
QFP ( $\mu\text{m}$ )	$\pm 30$	$\pm 30$	$\pm 30$
FBGA ( $\mu\text{m}$ )	$\pm 30$	$\pm 30$	$\pm 20$
FLGA ( $\mu\text{m}$ )	$\pm 40$	$\pm 30$	$\pm 30$
FC (solder bump; mm) Mother board application	$\pm 10$	$\pm 10$	$\pm 10$
FC (solder bump; mm) Substrate application	$\pm 5$	$\pm 3$	$\pm 3$

## 6.2 Lankaliittäminen ja flip-chip-tekniikat

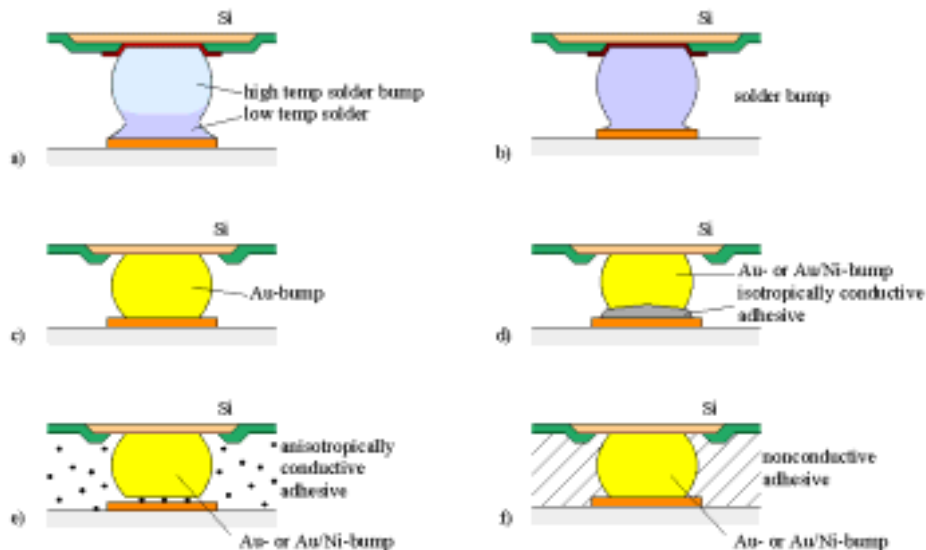
Vaihtoehtoinen tie yksittäin pakattujen komponenttien käytölle on käyttää paljaita kotelottomia komponentteja ja tehdä suojaus vasta sen jälkeen, kun komponentti on liitetty liitosalustansa. Tällöin komponentin piirilevyalustalla vaatima pinta-ala riippuu ratkaisevasti käytetystä liitostekniikasta. Liitostiheyttä voidaan kasvattaa siirtymällä lankaliittämiseen ja johdinliuskojen käyttöön perustuvista COB- ja TAB-tekniikoista kontaktinystyihin perustuvaan flip-chip- eli kääntöliitostekniikkaan, jossa puolijohdepala liitetään alustansa prosessoitu pinta alaspäin. Taulukko 6.4 esittää vertailun eri liitosmenetelmien ominaisuuksista ja suorituskyvystä.

*Taulukko 6.4. Puolijohdesirujen liitosmenetelmien keskeisiä ominaisuuksia.*

	Die Attach Wire Bond	TAB	Flip chip
Cost	x	>2x	0.8x
Chip Availability	Excellent	Fair	Poor
Reworkability	Poor	Fair/Poor	Good
Probe Test	DC	AC	AC
Lead Inductance (nH)	2.0–3.5	4.0–5.0	<1.0
Footprint (Chip +)	20–100 mil	80–600 mil	Clearance
Peripheral Bond Pitch	4–7 mil	3–4 mil	10 mil
Area Array Bond Pitch	–	–	10 mil
Max I/O Count	300–500	500–700	>1 000

Lankaliitos on menetelmistä vielä selvästi yleisin. Suurin mielenkiinto kohdistuu tällä hetkellä kuitenkin kääntösirutekniikan kehittämiseen, koska näin liitetty siru on potentiaalisesti halvin, vie pienimmän tilan liitosalustalta ja on sähköisesti paras. Arvioidaan [Beelen2002], että vuoteen 2005 mennessä 20 % BGA-pakkauksista ja kaikki CSP:t sisältävät flip-chipin. Rajoittavaksi tekijäksi flip-chipin kannalta muodostuu edistymisen kiekkojen nystytyksessä.

Erittäin tiheissä liitoksissa, joissa liitosten jakoväli on noin 100  $\mu\text{m}$  tai alle, juotosliittäminen tulee erittäin vaikeaksi, ja yleensä joudutaan käyttämään joko lankaliittämistä tai kääntöliittämistä anisotrooppisesti johtavilla liimoilla. Liimaliittäminen juotosliitosta korvaavana liitostekniikkana löytää sovelluksia myös muissa erikoissovelluksissa, kuten lämmölle herkkien komponenttien liittämiseksi tai esim. älykortteissa, joissa käytetty muovimateriaali ei yleensä salli juotosliittämisessä tarvittavia lämpötiloja. Sähköä johtavat liimat voidaan tyypillisesti kovettaa muutamassa sekunnissa 150  $^{\circ}\text{C}$ :n lämpötilassa.



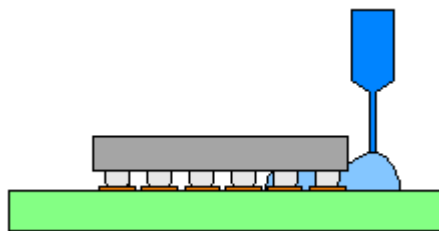
Kuva 6.1. Yleisimmät flip-chip-liitosrakenteet.

Flip-chip-liittämisessä keskeiset prosessivaiheet ovat kiekon nystytys (voidaan tehdä puolijohdeprosessissa), liittäminen, välitaytteen levitys ja lämpökovetus. Nystytysmenetelmiä on kehitetty useita: nysty voi olla kultaa, Sn/Pb-juotetta, nikkeliä tai polymeeria (Kuva 6.1). Vastaavasti liittämismenetelmiä on myös useita perustuen joko juottamiseen, liimaamiseen tai termokompressioon. Juottamisen etuna on hyvä soveltuvuus pintaliitosprosessiin ja liitosten itsekohdistuvuus. Liimaliitoksen etuina puolestaan ovat joustavuus ja matala prosessointilämpötila.

Flip-chip-komponenttien ladonta riippuu käytettävästä liitosmenetelmästä. Useat soveltavista yrityksistä käyttävät juotosliitosta. Komponentit voidaan latoa paikoilleen (juok-

sute tai juotepasta pitää paikalla) ja sulatusjuottaa kiinni tavanomaisesti. Mikäli liitosmenetelmäksi valitaan anisotrooppinen liimaus, prosessilaitteen on pystyttävä samanaikaisesti lämmittämään ja puristamaan komponenttia liitosalustaan kovettumisen ajan, jolloin prosessista tulee hidas. Tosin tällöin ei tarvita erillistä välitäytteen levitystä ja kovettamista.

Välitäyttöprosessi (Kuva 6.2) on edellyttänyt erikoismateriaalin kehittämistä, jonka vaatimuksina ovat esimerkiksi pieni viskositeetti ja sopiva lämpölaajenemiskerroin (noin 25 ppm/°C). Nykyisin materiaaleja on saatavilla jo useilta valmistajilta ja kovettusaika on enää parhaimmillaan vain 15 minuuttia.



*Kuva 6.2. Välitäytössä dispensataan epoksi sirun reunalle, josta se kapillaarivoimien avulla imeytyy sirun alle.*

Flip-chip-liittämisessä ongelmat liittyvät vielä puutteelliseen infrastruktuuriin. Käyttö on viime aikoihin saakka rajoittunut vertikaalisesti integroituneisiin valmistajiin, jotka ovat voineet hallita koko prosessia alusta loppuun kiekkoitasolta lähtien. Muut käyttäjät tarvitsevat alihankkijoita esimerkiksi nystytyksen tekemiseen sekä laite- ja materiaali-toimittajia. Halpojen nystytettyjen puolijohteiden saatavuus on huono, ja standardipuolijohteilla liitosalueet on suunniteltu sirun reunoille lankaliittämistä varten. Samoin tarvittavien tiheiden liitosalustojen saatavuus ei ole vielä hyvä. Muita ongelmia ovat nopeasti prosessoitavien välitäyttemateriaalien saatavuus ja korjausmenetelmien kehittymättömyys. Suuri ongelma on myös potentiaalisten soveltajien puutteellinen menetelmän tuntemus.

Flip-chip-piirilevykokoonpanon tuotannon läpimenon rajoituksia ovat välitäytteen levittäminen ja sen lämpökovetus. Nykyisiä flip-chip-prosessiaskelia ei voi toteuttaa pintaliitostekniikan sykliajoilla. Syklijajan lyhentämiseksi ja flip-chip-prosessoinnin hinnan alentamiseksi on kehitteillä prosessi, jossa välitäyttö ja nystyjen sulatusjuotos tapahtuvat samanaikaisesti. Välitäyte painetaan stensiilin läpi substraatille, siru kohdistetaan paikalleen substraatille ja kiinnitetään väliaikaisesti esikovettamalla välitäyte UV-valotuksella. Menetelmän merkittävänä etuina ovat nopeus ja mahdollisuus testata piiri ennen metallurgisen liitoksen muodostumista. Testauksen jälkeen liitokset sulatusjuotetaan samanaikaisesti välitäytteen lopullisen kovettamisen kanssa.

Taulukossa 6.5 on ennuste lankaliitos- ja flip-chip-menetelmien kehittymisestä.

*Taulukko 6.5. Mikrosirun liittäminen alustaan [ITRS2002].*

<i>Year of Production</i>	2002	2007	2013	2016
<i>Chip Interconnect Pitch (<math>\mu\text{m}</math>)</i>				
Wire bond – ball	40	20	20	20
Wire bond – wedge	50	30	20	20
TAB	40	25	29	15
Flip Chip area array	180	80	70	50
Peripheral flip chip	80	30	20	15

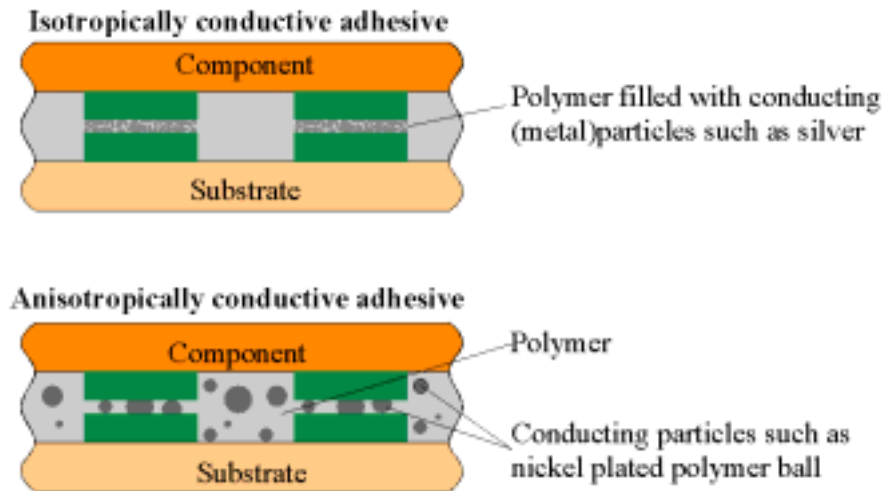
### 6.3 Liimaliittäminen

Sähköä johtavia liimoja on käytetty elektroniikan valmistuksessa jo useiden vuosikymmenien ajan. Tärkein käyttökohde on paljaiden puolijohdepalojen liimaliittäminen substraatille lankaliitosta varten. Toinen tärkeä käyttökohde on litteiden näyttöjen liittäminen anisotrooppisilla liimoilla. Kiinnostus liimojen käyttöön voimistui merkittävästi 1990-luvun aikana; syynä olivat ympäristöasioiden korostuminen ja lyijytinajuotteiden lyijyn myrkyllisyys, eli tavoitteena oli korvata juote johtavalla liimalla. Kuitenkin liimaus on saanut varsin vähän käytännön sovellutuksia pintaliitoskomponenttien liittämässä. Ongelmia ovat luotettavuus kosteassa ympäristössä (rajapintojen metallonnit, hopean migraatio) ja heikohko mekaaninen lujuus. Liimauksen onkin tarjottava merkittäviä parannuksia verrattuna juoteliittämiseen, ennen kuin se käytännössä voi saada huomattavamman osuuden pintaliitoskomponenttien liittämässä.

Suurempi mielenkiinto onkin kohdistunut liimaukseen sen seuraavien potentiaalisten etujen vuoksi:

- anisotrooppisen liiman (ACA) soveltuvuus tiheiden liitosjakovälien liittämiseen, esim. flip-chip
- erillisen välitäytön tarpeettomuus käytettäessä anisotrooppista liimausta flip-chipillä
- matala prosessointilämpötila (<150°C)
- joustava ja yksinkertainen prosessi ja siten halvat kustannukset (ei fluksin pesua).

Matala liitoslämpötila mahdollistaa matalia lämpötiloja sietävien substraattien käytön komponenttialustana, esim. taipuisan polyesterin (alle 150°C) tai ruiskuvalettujen piirilevyjen. Flip-chip-komponenttien liittämistä on tehty sekä isotrooppisella liimalla että anisotrooppisella liimalla (Kuva 6.3), jonka etuna on ennen kaikkea soveltuvuus tiheiden liitosjakovälien liittämiseen. Mikäli liitosmenetelmäksi valitaan anisotrooppinen liimaus, prosessilaitteen on pystyttävä samanaikaisesti lämmittämään ja puristamaan komponenttia liitosalustaan kovettumisen ajan, jolloin kovetusajan pituus vaikuttaa oleellisesti tuotannon sykliin. Tosin tällöin ei tarvita erillistä välitäytteen levitystä ja kovettamista.

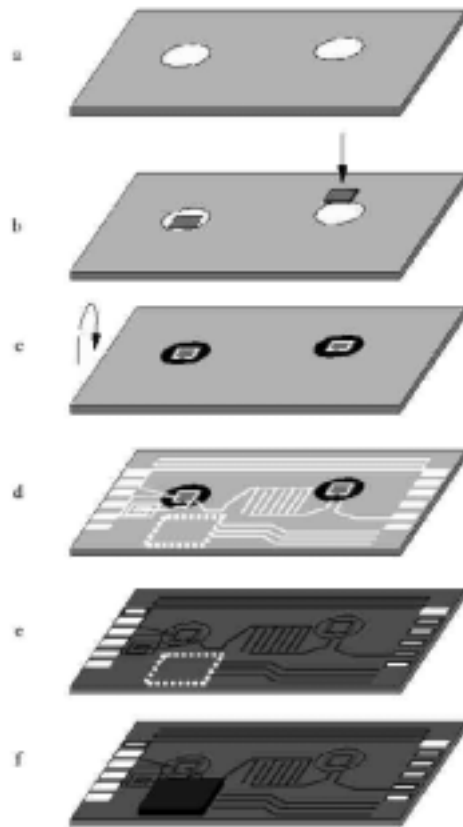


*Kuva 6.3. Flip-chip-liitosrakenteet isotrooppisella ja anisotrooppisella liimalla.*

## 6.4 Suoraliitos

Suoraliitoksella tarkoitetaan liitosmenetelmää, jossa mikrosirut upotetaan piirilevyyn ja niiden kontaktit muodostetaan additiivisen kasvatuksen (electroless plating) avulla fotokuvioitavaan polymeerieristekerrokseen tehtyjen aukkojen kautta (Kuva 6.4). Menetelmää on käsitelty aiemmin kohdassa 5.2.2. IMB-tekniikalla saavutetaan huomattavia etuja perinteiseen valmistukseen verrattuna. Upottamalla mikropiiri piirimoduuliin vältetään muun muassa komponenttien jalkojen aiheuttama parasiittinen kapasitanssi ja induktanssi, mikä parantaa huomattavasti kokoonpanon sähköisiä ominaisuuksia. Näin kytkentäjohtimien pituudet saadaan erittäin lyhyiksi ja pakkaustiheys korkeaksi. Rakente mahdollistaa passiivikomponenttien valmistamisen erittäin lähelle sirua.





Kuva 6.4. CIB-prosessi.

## 6.5 Optokomponenttien liittäminen

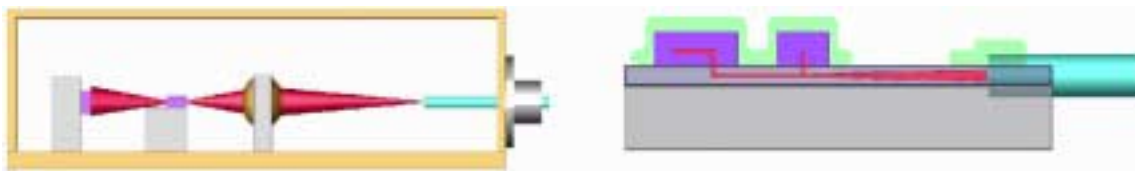
Elektronisten komponenttien lisäksi pakkauksessa voi olla erilaisia optisia elementtejä, kuten valokanavia, optisia kuituja, linsejä, hiloja, peilejä, filttäreitä, lasereita, detektoreja, modulaattoreita tai kytkimiä. Tällöin avainasemassa on komponenttien kohdistustarkkuus sekä kohdistuksen säilyminen stabiilina kaikissa valmistuksen ja käytön olosuhteissa (esim. korkeille datasiirtonopeuksille käytetyssä kuidussa ydin on luokkaa  $9\ \mu\text{m}$  ja laseriodi täytyy kohdistaa siihen noin  $1\ \mu\text{m}$  tarkkuudella). Lämpötilastabiiliusvaatimukset ovat myös tiukemmat kuin elektronisille komponenteille, sillä lämpötilan muutos saattaa esim. muuttaa aallonpituutta. Lisäksi komponentit vaativat usein hermeettisen suojauksen.

Kohdistustarkkuusvaatimusten sekä komponenttien usein hankalien ja suurien dimensoiden vuoksi automaatioaste optoelektronikan tuotannossa on pysynyt hyvin matalana verrattuna muuhun elektroniikkaan. Erityisesti tietoliikennemoduulien kokoonpanossa monia vaiheita tehdään käsityönä, jossa komponenttien asemointi saatetaan hakea ennen liimausta jopa kytkeytyvää optista tehoa mittaamalla (aktiivinen kohdistus). Toisaalta valmistajakohtaiset komponenttiratkaisut ovat rajoittaneet sopimusvalmistajien käyttöä.

Näiden seurauksena optoelektronisten laitteiden hinta rajoittaa niiden yleistymistä monissa sovelluksissa. Niinpä erityisesti parin viime vuoden kuluessa optoelektroniikkateollisuuden tärkeimmäksi tehtäväksi on yleisesti todettu tuotannon tehostaminen. Tähän sisältyy mm. tarkempien kokoonpanoautomaatiolaitteiden kehittäminen (esim. flip-chipladonta alle mikronin asemointitarkkuudella), komponenttien koon ja hinnan pienentäminen (esim. uudet materiaalit, kuten polymeerit ja suuren taitekerroineron komponentit), integrointiasteen kasvattaminen sekä teknologioiden yhdenmukaistaminen ja standardointi. Integrointiastetta pyritään kasvattamaan jossain määrin fotonikkakomponenttien monoliittisellä integroinnilla (esim. laserit, modulaattorit ja multiplekserit samalle sirulle). Toisaalta moduulitasolla pyritään siirtymään integrointialustoihin, joille elektroniikan lisäksi voidaan liittää koteloimattomat optokomponentit yhdistämällä ne esim. alustalle valmistetuilla valokanavilla sen sijaan, että nykyisin optokomponentit ensin koteloidaan ja sitten liitetään kuiduilla yhteen halutuksi moduuliksi (Kuva 6.5 ja Kuva 6.6).



*Kuva 6.5. Säädettävän laserin sisältävä optinen moduuli.*



*Kuva 6.6 Laseriodin ja kuidun (sekä monitorointi-ilmaisimen) välinen optinen kytkentä: Vasemmalla perinteinen ratkaisu perustuen linssiin, hermeettiseen koteloon ja aktiiviseen kohdistukseen. Oikealla esimerkki tulevaisuuden ratkaisusta, joka perustuu pintaliitettyihin ja kapseloituihin komponentteihin substraatilla, jossa on valokanavia sekä V-ura kuidun kohdistamiseksi [Xponent Inc.].*

## 7. Uusien elektroniikan toteutustekniikoiden haasteet pitkällä aikavälillä

### 7.1 Valmistustekniset haasteet

Tulevaisuuden elektroniikan pakkaus- ja komponenttitekniikoissa lähtökohtana on edelleen dimensioiden pientyminen. Yhä suurempi integroitujen piirien pakkaustiheys sekä kasvavat kontaktimäärät asettavat yhä tiukempia vaatimuksia piirien liitännöiden laadulle ja tiheydelle, kuten myös itse pakkauksen ominaisuuksille. Piirien kasvava komponenttimäärä ja integrointiaste edellyttävät lisääntyvää 3D-rakenteiden määrää, ja myös mikropiiritasolla johdotukset siirtyvät yhä useampaan kerrokseen. Yksittäisten mikropiirien sisään- ja ulostulojen (I/O) määrä on koko kehityksen vaikutuksesta kasvanut voimakkaasti. Lisäksi siirryttäessä korkeampiin taajuuksiin signaalin siirrossa tarvitaan uusia teknologisia ratkaisuja, kuten aaltojohtimia, vapaan tilan RF- sekä optisia kytkentöjä. Pienet komponentit, matalat käyttöjännitteet sekä tiheään ladotut johtimet ovat entistä herkempiä häiriöille sekä prosessointivirheille ja epäpuhtauksille. Prosessin toleransseista tulee yhä tiukempia, liitosten mekaaninen ja elektroninen luotettavuus (m.l. lämpölaajenemiskertoimien yhteensopivuus), adheesio, materiaalien yhteensopivuus sekä stabiilisuus vaikuttavat entistä enemmän. Jo pitkään tavoitteena on ollut integrointiasteen kasvattaminen (SoC: System on Chip) ennen kaikkea sovellus-spesifisissä tuotteissa. Sitä kautta saavutettava pakkauksen ja kokoonpanon kustannus-säästö pysyy myös edelleen tavoitelistan kärkipäässä. Muun muassa taloudellisten sekä toiminnallisten seikkojen vuoksi piirien integrointiasteen kasvulla on omat rajansa, joten moduuliajattelu on lisääntymässä – samanaikaisesti suunnitellaan, ei pelkästään yksittäisiä mikropiirejä, vaan suurempia kokonaisuuksia, jotka muodostuvat useammista mikropiireistä sekä erilliskomponenteista (SoC "systeemi mikropiirillä" -ajattelu v.s. SoP "systeemi paketissa"). Tämä asettaa entistä suurempia vaatimuksia suunnitteluhenkilöstölle, suunnittelutyökaluille ja materiaalkirjastoille, jotta optimaalinen systeemi saataisiin koottua hyvinkin erilaisten toteutustapojen, materiaalien ja komponenttityyppien kirjosta. Lisäksi täytyy ottaa huomioon se, että jo nykyiset piirikorttien ladontatiheydet asettavat suuria vaatimuksia tekniikoille. Osana kehitystä onkin nopeiden prosessin aikaisten karakterisointimenetelmien luominen, minkä lisäksi rakenteiden, komponenttien ja materiaalien karakterisoinnin ja simuloinnin merkitys korostuu. Lähivuosien trendejä on myös ympäristötekijöiden korostuminen (lyijyttömyys, halogeenittomuus, jätteiden käsittely, veden säästö, kemikaalien kierrätys).

Emolevyissä minimiviivanleveyksien ja -etäisyyksien odotetaan vuoteen 2010 mennessä olevan luokkaa 10/10  $\mu\text{m}$  [JEITA2001]. Eri sovelluksissa on kuitenkin eri tarpeita ja eri aikatauluja, joten tuotteita tullaan valmistamaan hyvin erilaisilla toleransseilla; tarvittava minimiviivanleveys on ehkä kymmenkertainen. Kapeammat viivanleveudet synnyttävät paineita kasvattaa metallointien paksuutta ("high aspect ratio"), kun taas para-

siittisten häviöiden pienentäminen johdinten välisten kapasitanssien pienentämisen kautta – varsinkin, kun myös käyttöjännitteet ovat laskussa – edellyttää päinvastaista suuntausta. Tähän ratkaisuna olisivat korkeampijohtavuuksiset materiaalit. Kupari on kuitenkin jo käytössä, ja taloudellisuusvaatimuksethan tekevät kullasta ja hopeasta epätoivottavia, joten tässä ei ole odotettavissa merkittävää muutosta. Jalometalleja tullaan kuitenkin käyttämään erikoissovelluksissa. Tavoiteltavaa olisi, että – ennen kaikkea näissä tapauksissa – voitaisiin käyttää selektiivisiä, lokaaleja kasvatusmenetelmiä materiaalihukan minimoimiseksi. Tiukentuvat ympäristövaatimukset ovat toinen tekijä ajassa samaan suuntaan.

Tavoitteena olevat viivanleveydet olisivat suhteellisen helposti saavutettavissa mikropiirivalmistuksen valmistusprosessein. Nämä, ennen kaikkea suuren pinta-alan valolitografia, nostavat kuitenkin merkittävästi kustannuksia, joten tätä pyritään välttämään viimeiseen asti. Eri verkkopainotekniikoiden raja tulee kuitenkin vastaan joidenkin kymmenien mikrometrioiden kohdalla, joten uusia tekniikoita – tai edullisempia versioita – pitää kehittää. Erityisesti se, miten alle 20 µm viivanleveydet saavutetaan riittävällä tuotantoprosessin saannolla, jää nähtäväksi; oletettavasti tarvitaan uusia valmistusteknologioita. Myös toleranssien kontrolloinnissa on nykyisin vielä parantamisen tarvetta. Tämä korostuu signaalinopeuksien ja taajuuksien kasvaessa.

Oulun alueen mikro- ja nanoteknologiaohjelmaan (2002–2006) liittyen on arvioitu mm. mikromoduulitekniikoiden ja fotonikan ja optoelektronikan teknologioiden aika-aulua (Taulukko 7.1). Tämän arvion mukaan vuonna 2010 kyettäisiin integroimaan kaikki SOP-mikromoduulin komponentit monoliittisesti liitosalustaansa ja fotonikassa olisi käytössä yksimuotokuitujen passiivisen kohdistuksen menetelmä.

ITRS2002 Road Mapin mukaan lähitulevaisuuden haasteena pakkaus- ja liitostekniikassa (vuoteen 2007 mennessä) on orgaanisten substraattimateriaalien kehittäminen siten, että ne mahdollistavat lyijyttömän juottamisen (eli  $T_g$ -lämpötila on korkeampi kuin nykyisin), suuremman johdotustiheyden kustannustehokkaasti, paremman impedanssi-kontrollon ja matalammat häviöt suurtaajuussovellutuksiin, paremman planaarisuuden ja käyristymättömyyden korkeammissa lämpötiloissa, pienemmän kosteuden absorption ja passiivien integroimisen edulliseen hintaan. Tällä hetkellä substraatin hinta on esteenä flip-chip-tekniikan yleistymiselle [ITRS2002].

Toisena haasteena vuoteen 2007 mennessä on välitöttömateriaalien eli underfill-materiaalien kehittäminen siten, että ne mahdollistavat nopeamman prosessoinnin, paremman adheesion ja pienemmän kosteuden absorption. Myös käyttölämpötila-alueen tulisi olla korkeampi autosovelluksia ja lyijyttömää juottamista ajatellen.

Taulukko 7.1. Oulun alueen mikro- ja nanoteknologiaohjelmassa arvioidut teknologiakehityksen aikataulut.

	2002	2004	2006	2010
<i>Micromodule technologies</i>				
RF- and microwave modules	2G/2.5G (GSM, GPRS) 2 GHz	3G, Multimode terminals 2–3 GHz	WLAN, OWLAN 5 60 GHz, 10 GHz down-link	4G, UWB –100 GHz, Ubi
SOP – integration goal (substrate) – technology	– simple passive components – SMT	– passives & antennas – SMT & dense interconn.	– tunable components, antennas, optics – dense lead-free interconn.	Monolithically integrated systems
Design and modeling		3D design 3D-FE modeling	exact electromagnetic modeling	
<i>Photonics and optoelectronics</i>				
Applications – Opt. communic. – opt. interconn. – sensors and instruments	Electrical packet-switched wavelength-multiplexed systems, DWDM Optical sensors and measurements instruments	Electro-optical network Integrated sensor components	Optical packet switched, Radio-on-fiber, fiber-to-the-home, on-board connections, optical microsystems, lab-on-chip	Optical networks, OTDM, UWDM, "Quantum cryptography", wireless IR-LAN, mutitechological lab-on-chips
New materials and processes	Glass, polymers, passive hybrid materials lithography, evaporation	active hybrid materials sol-gel process	electro-optics	
Devices and components – lasers – optical fibers – integrated optics – active structures – sensor structures	VCSEL 10 GHz Wavelength tunable lasers component level microstructures	VCSEL 1 300 nm, 1 550 nm, edge emitting wave guide components integrated structures submicron structures bio- and chemical sensors	VCSEL 20 GHz, blue Polymer components wavelength conversion nanostructures multi-analyte sensors	Polymer laser, quantum dot components, photonic crystal fibers, photonic bandgap components
Modules and production technologies	discrete components labor-intensive production	advanced integration, standardization, OEM manufacturing	integrated photonic circuits mass production	Automatic assembly, passive single mode assembly
Design and modeling	separate design software	linking between design software	multifunctional software	automated design

Kolmas valmistusteknillinen haaste liittyy kuparimetalloinnin ja matalan permittiivisyyden eristemateriaalien käyttöön piillä. On tarvetta kehittää lankaliittämistä ja nystyn valmistusta suoraan kupariliitosalustalle sekä nystytys- ja välitäyttötekniikoita, jotka mahdollistavat hyvän sähköisen suorituskyvyn ja mekaanisesti kestävästä liitosrakenteesta. Lisäksi tulisi kehittää mekanismeja kriittisten ominaisuuksien mittaamiseen.

Lyijyä, antimonia ja bromia sisältämättömät elektroniikan pakkausmateriaalit tulee kehittää kestävämmän entistä kovempia olosuhdevaatimuksia mukaan lukien korkeammat reflow-juotoksen lämpötilat. Materiaalien tulee myös mahdollistaa elektroniikan luotettava toiminta vaihtuvan lämpötilan olosuhteissa ja kosteuden vallitessa.

Pidemmällä aikajänteellä eli vuoden 2007 jälkeen ITRS2002:n mukaan vaarana on se, että pakkauksen hinta ylittää huomattavasti pii-chipin hinnan, ellei pakkaustekniikan tutkimukseen panosteta riittävästi. Tiheät liitynnät ovat myös erittäin haasteellisia valmistusteknisesti, kun liitosten jakoväli alittaa 80 µm area-array-tyyppisissä komponenteissa.

Korkean taajuuden puolijohdekomponentit vaativat tiheitä ja korkealaatuisia johdotuksia (>20 johdinta/mm), matalampihäviöisiä eristeaineita ja yhtenä huomioon otettavana seikkana on skin-efektin vaikutus yli 10 GHz:n taajuuksilla. Korkean taajuuden teho-komponenteissa ovat usein ongelmana myös hyvin paikalliset "kuumat pisteet", jotka ovat erittäin haasteellisia lämmön hallinnan kannalta.

Vuoden 2005 jälkeen jouduttaneen piirilevyissäkin turvautumaan johdotustekniikoihin, jotka ovat tähän saakka olleet käytössä vain piin prosessoinnissa. Tämä johtuu siitä, että edelleenkin piin johdotustiheys kasvaa voimakkaammin kuin johdotustiheys liitosalustoissa.

Kuten kohdassa 4.4 todettiin, monikerroskeraamitekniikoissa suurina haasteina ovat: kustannusten alentaminen, uusien materiaalien kehitys ja dimensioiden hallinta sekä optiikan integrointitekniikat. Kustannuksia pyritään alentamaan siirtymällä suurempiin paneelikokoihin, vähentämällä prosessivaiheita ja integroimalla passiivikomponentit. Materiaalikehityksessä tärkeitä kehityskohteita ovat mm. pienihäviöiset dielektriset materiaalit langattoman tietoliikenteen suurtaajuussovelluksiin ja matalan permittiivisyyden materiaalit suurnopeusdigitaalisovelluksiin. Viivanleveyksien kaventaminen, dimensioiden hallinta, materiaalien parempi yhteensopivuus, mekaaninen kestävyys kokoonpanossa ja halvempi hinta ovat myös tärkeitä haasteita materiaalikehityksessä. Optiikan integroinnin tarve kasvaa selvästi tulevaisuudessa. Tässä tarvitaan muiden ke-raamisysteemin materiaalien kanssa yhteensopivia optiikan materiaaleja ja tekniikoita erittäin vaativaan dimensioiden hallintaan. Moniteknisen suunnittelun hallinta on avain- asemassa myös monikerroskeraamitekniikoiden soveltamisessa.

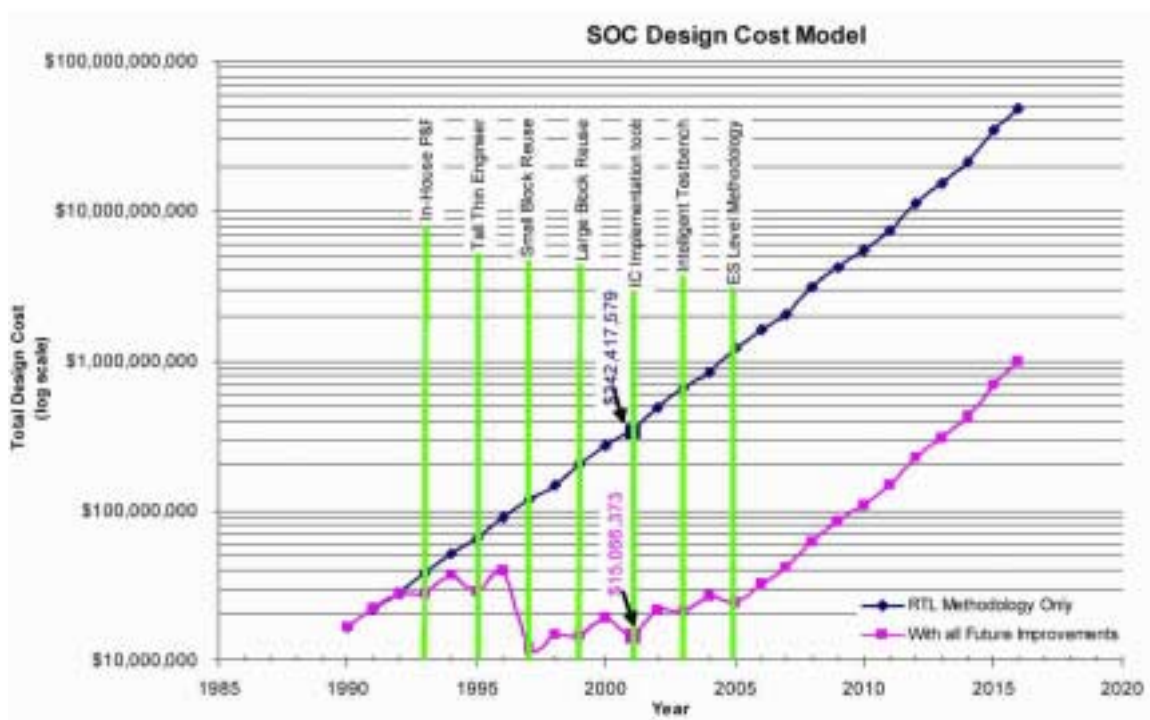
## 7.2 Suunnittelun haasteet

Erityisen suurena haasteena on kehittää suunnittelu- ja simulointityökaluja, jotka mahdollistavat chipin tai chippien tarvittavan pakkauksen ja liitosalustan suunnittelun yhdessä toinen toistensa erityispiirteet huomioiden. Tätä varten tarvitaan uusia kokonaisvaltaisempia moduulitason suunnitteluohjelmistoja ja piirisimulaattoreita sekä niihin kattavia materiaali- yms. kirjastoja. Näissä tulee ottaa huomioon kaikki mahdolliset asiat, kuten mm. RF- ja antennirakenteet, termiset ilmiöt, itse valmistusprosessin optimoiminen, kustannusvertailu ja optimoitu on-line-testaus. Systeemin optimointi myös kustannusten kannalta on yhä hankalampaa. Suunnitteluohjelmistoja tarvitaan tähänkin. Tehokkaat moduuli- ja korttitason suunnitteluohjelmat ovat nousemassa avainasemaan kilpailuedun hankkimisessa.

Piirien mutkistuessa suunnittelukustannukset pyrkivät kasvamaan hyvin voimakkaasti. Kuvassa 7.1 esitetään arvioita SOC-suunnittelun kustannuskehityksestä. Ilman suunnittelumenetelmien ja työkalujen kehitysaskelaita piirin suunnittelukustannukset kasvaisivat n. 20-kertaiseksi 10 vuoden välein. Aiemmin suunniteltujen lohkojen uudelleen käyttö sen sijaan on tuonut oleellista pienennystä kustannuksiin.

Suunnitteluohjelmistojen kehitystyön lisäksi on osaavien suunnittelijoiden koulutus ratkaisevan tärkeää uusien teknologioiden käyttöönotossa.

Taajuuksien kasvaessa signaalien integriteetin eli aaltomuodon puhtauden säilyminen on tullut yhä suuremmaksi huolen aiheeksi. On sanottu, että on kahdenlaisia elektronikan suunnitteluinsinöörejä: niitä joilla on signaalien integriteettiongelmia, ja niitä, joilla näitä ongelmia tulee olemaan [<http://www.agilent.com/litweb/pdf/5988-5978EN.pdf>], [<http://www.signalintegrity.com/integrity.htm>]. Suuriin kytkentänopeuksiin liittyvät transientit aiheuttavat ylimääräistä värähtelyä signaaleihin. Impedanssien epäjatkuvuuskohtat virtapiirissä ovat näiden häiriöiden aiheuttajia. Lähekkäin kulkevista johtimista aiheutuu ylikuulumista, joka voimistuu taajuuden kasvaessa. Tämä on yhteydessä virtapiirien väliseen kapasitiiviseen ja induktiiviseen kytkentään. Kolmas tekijä, mikä vaikuttaa signaalien integriteettiin, on tehon syötön ja maatasojen toteutus. Ongelmia voi aiheuttaa liian suuri impedanssi tehonsyöttöpiirissä. Tähän voidaan vaikuttaa sijoittamalla tehon syöttö ja maatasot hyvin lähelle toisiaan ja maksimoimalla niiden pinta-ala tai vaihtoehtoisesti lisäämällä piiriin erotuskondensaattoreita (decoupling capacitors). Neljäs signaalien integriteettiin vaikuttava asia on elektromagneettinen interferenssi (EMI), missä ulkopuolelta tai itse tuotteesta tuleva sähkömagneettinen kenttä kytkeytyessään piiriin aiheuttaa häiriöitä. Tähän voidaan vaikuttaa piirin tai paketoinnin suunnittelussa huomioimalla piiriin sähkömagneettista suojaus. Myös muiden signaalien integriteettiin vaikuttavien tekijöiden huomioiminen minimoi elektromagneettisen interferenssin vaikutusta piirissä.



*Impact of Design Technology on System Implementation Cost.*

*Kuva 7.1. SoC-suunnittelun kustannuskehitys [ITRS2001].*

### 7.3 Haasteet testaukselle

Jatkuva miniatyrisointi aiheuttaa vakavia testausongelmia. Mitä enemmän on komponentteja ja kontakteja, sitä suuremmaksi kasvaa vikaantumisen todennäköisyys. Dimensioiden kutistuminen synnyttää myös uusia vikaantumismekanismeja – pienten rakenteiden ollessa entistä herkempiä erilaisille tekijöille. Digitaalisten, analogisten ja mekaanisten komponenttien integrointi samalle substraatille luo myös uusia testaushaasteita. Jo nykyisin ana-digi-laitteiden valmistuskustannuksia dominoi niiden analogia-testaus; nykyisin sen osuus voi olla jopa 50 % tuotantokustannuksista, ja tulevaisuudessa osuuden voi olettaa vielä kasvavan. Markkinavoittajia tulevatkin olemaan ne, jotka selviävät alhaisimmilla testauskustannuksilla. Tämä tulee jatkossa vaikuttamaan myös entistä enemmän laitesuunnitteluun, jotta testaukset saadaan otettua huomioon mahdollisimman aikaisessa vaiheessa (DFT: Design For Testability).

RF-piirit asettavat myös kovan haasteen elektroniikkatuotteiden testaukselle. Korkeataajuusosien testaus ja säätö on yleensä erittäin hidasta ja edellyttää usein kalliita erikoislaitteita. Lisähaasteita luovat jatkossa myös uusien standardien tulo (esim. Bluetooth and Wi-Fi) sekä monien taajuuksien käyttö ja monitoiminnalliset laitteet.



Pyrittäessä alentamaan tuotantokustannuksia avainasemassa on suunnitelmasta tuotantoon siirtymisen nopeuttaminen. Tuotteen valmistettavuuden ja kokoonpanon suunnittelu tulee tehdä samanaikaisesti tuotteen ja sen valmistusympäristön suunnittelun kanssa. Jotta suunnitteluprosessin kesto saadaan hyväksyttävälle tasolle, tarvitaan integroitua mallinnus- ja simulointityökaluja. Tiheämmin ladotut komponentit ja kasvava kontaktien määrä sekä samalle mikropiirisirulle tai samaan moduuliin pakatut erityyppiset komponentit merkitsevät lisähaasteita myös laadunvalvonnan testaustoiminnalle potentiaalisten mittauspisteiden moninkertaistuessa sekä mitattavien suureiden ja funktioiden monipuolistuessa Tämä tarkoittaa lisääntyviä kustannuksia ennen kaikkea prototyyppien kehittämiseen mutta myös tuotannonaikaiseen laadunvalvontaan, jossa siten tarvitaan automatisoituja, joustavia, nopeita karakterisointijärjestelmiä. Ei tule unohtaa myöskään mekaanista, sähkömagneettisten häiriöiden ja ympäristöolosuhteiden vaikutuksen testausta, jotta pakkauksen, liitosten ja koko systeemin kestävyys ja käyttöikä voidaan arvioida. Uudet materiaalit ja uudet komponentti- ja rakenneratkaisut yhdistettynä pienentyneisiin dimensioihin, lisääntyvään langattomaan viestintään ja mahdollisiin ankaariin käyttöolosuhteisiin tarkoittavat jatkuvaa kehitystä myös tämän puolen mittausten ja mallinnuksen kehittämisessä.

Esille tulevia haasteita varten ollaan kehittämässä uusia testaustandardeja: esim. Mixed-Signal Test Bus Standard 1194.4, joka on yhteensopiva Boundary Scan standardin IEEE 1149.1 kanssa.

## **7.4 Suorituskyvyn nostaminen tehonkulutusta kasvattamatta**

Tehonkulutuksen hallinnassa sekä myös suorituskyvylle asetettavien vaatimusten kasvaessa merkittäviä tekijöitä ovat johtavuus, parasiittiset häviöt, kontaktiadmittanssi, lämmönjohtavuus ja -hallinta sekä komponenttien tehohäviöt. Ongelmia tuottavat mm. se, että nykyisillä puolijohdemateriaaleilla kynnsjännitettä ei voi juurikaan laskea ja että yhä kaventuvat johtimet lisäävät virtatiheyksiä, kun signaalikohinasuhteen vuoksi virran alentamiselle on rajansa. Tästä huolimatta tehonkulutuksen pitäisi pysyä hallinnassa ja mm. toimintalämpötila ei saisi juurikaan nousta nykyisestä. M. Garner Intel Irlannista on todennut: "Tavoitteena on, että IC:llä ei voisi keittää vettä." [GARNER2000]).

Pienentyvät koot sekä uudet komponentit ja materiaalit vähentävät tehonkulutusta, mutta tällä alueella on vielä paljon tehtävää eivätkä ratkaisuvaihtoehdot ole vielä selvät. On kuitenkin huomattava, että tehonkulutus yksittäistä komponenttia tai toimintoa kohden pienenee "automaattisesti" dimensioiden pienentyessä. Sirua kohden tehonkulutus sen sijaan voi kasvaa, ja ennen kaikkea lämmön hallinta tulee entistä merkittävämmäksi komponenttitiheyksien kasvaessa.

On ennustettu, että piikomponentin häviöteho kasvaa "high performance" -sovelluksissa nykyisestä maksimitehosta 140 W noin kaksinkertaiseksi vuoteen 2016 mennessä (Taulukko 3.2). Piisirun koon odotetaan tällä sovellusalueella pysyvän lähes muuttumattomana vuoteen 2016 saakka, joten maksimitehoitehuus vastaavasti kasvaa n. kaksinkertaiseksi 14 vuoden kuluessa eli arvosta 0,45 W/mm<sup>2</sup> arvoon 0,93 W/mm<sup>2</sup>. Kustannuskriittisemmissä sovellutuksissa (cost performance) sen sijaan tehotiheyden odotetaan säilyvän jatkossakin n. 0,5 W/mm<sup>2</sup> tienoilla. Nämä tehotiheydet ovat erittäin haasteellisia komponenttien lämmön hallinnan kannalta varsinkin, kun liitoslämpötila ei saa nousta korkeammaksi kuin 85°C:seen.

Piin lämmönjohtavuus on sinänsä melko hyvä (150 W/m/K), mikä tarkoittaa lämmön johtumisen kautta tapahtuvassa lämmönsiirrossa n 6,7 asteen lämpötilaeroa 1 mm:n matkalla, jos tehotiheys on 1 W/mm<sup>2</sup>. Ongelmana on lämpötehon siirto puolijohdesiirtilta liitosalustaan ja liitosalustasta edelleen ympäristöön. Lämmönhallinnan ongelmia käsitellään laajemmin erillisessä Simo Keskisen laa timassa Tekes-selvityksessä.

## **7.5 Muisti- ja tallennuskapasiteetin lisääminen komponenttien liitäntäalan kasvamatta**

Integrointiasteen kasvu piillä kasvattaa piirien muisti- ja tallennuskapasiteettia voimakkaasti. Esim. DRAM-komponenteille tämä näkyy taulukosta 2.2. Tallennuskapasiteetti pinta-alayksikköä kohti kasvaa noin 50-kertaiseksi vuodesta 2002 vuoteen 2016 ja, kun otetaan huomioon piisirun dimensioiden kasvu, niin muistisirun kapasiteetti kasvaa yli satakertaiseksi tällä aikajänteellä.

Tallennuskapasiteettia pinta-alayksikköä kohti voidaan edelleen kasvattaa pinoamalla päällekkäin useita muistisiruja. Pinotut 3D-rakenteet ovatkin varsin hyvin soveltuvia muistisirujen pakkaamiseen, sillä niiden kohdalla lämmön hallinta ei ole niin vakava ongelma kuin mikroprosessoreilla.

## **7.6 Signaalien integriteetin säilyminen yhä tiheämmillä alustoilla ja liitännöillä**

Liitosalustojen tiheyden kasvaminen lisää signaalien integriteettiin liittyviä ongelmia, koska johdinten välien kaventuminen lisää ylikuulumisen vaaraa. Signaalien integriteetin varmistamiseksi tulisi liitosalustan eristeaineen permittiivisyyden olla mahdollisimman pieni ja johdinmateriaaleilla tulisi olla mahdollisimman hyvä johtavuus. Korkeilla taajuuksilla olisi tärkeää, että johdinten reunat olisivat mahdollisimman laadukkaita ja liitoksissa olisi mahdollisimman pieni impedanssien epäsopivuus. Signaalien integritee-

tin kannalta olisi hyvä, että pakkaus- ja liitostekniikka antaisi suunnittelijalle mahdollisuuksia toteuttaa toimenpiteitä, jotka minimoivat signaalien integriteettiongelmia. Esimerkiksi monikerroksisilla LTCC-keramialustoilla on mahdollisuus vaikuttaa signaalien laatuun monin eri keinoin mm. EMI-suojauksen, maatasojen ja virransyöttöpiirien sijoittelulla, passiivikomponenttien integroinnilla ja sijoittelulla piirin sisälle ja 3D-rakenteilla, joilla voidaan vaikuttaa liitosrakenteiden laatuun. Keraamimateriaaleissa ongelmana on kuitenkin suhteellisen suuri permittiivisyys orgaanisiin materiaaleihin verrattuna, joskin niiden häviöt ovat puolestaan pienemmät kuin orgaanisilla materiaaleilla. Tässä suhteessa toivotaan tulevaisuudessa kehitettäväksi uusia matalamman permittiivisyyden keraamimateriaaleja.

Täysin oma lukunsa signaalien integriteetin kannalta on fotonikan käyttöönotto signaalien siirrossa. Fotonikka ratkaisee tulevaisuudessa tehokkaasti monia signaalien integriteettiin liittyviä ongelmia, mutta fotonikan käyttöönotto laajemmin edellyttää suuria kehityspanoksia ja suuria muutoksia komponenttitekniologioissa sekä optiikan komponenttien ja kuitujen pakkaus- ja liitostekniikoissa.

## **7.7 Luotettavuuden säilyminen yhä tiheämmillä alustoilla ja liitännöillä**

Komponenttikoteloiden kehitys on merkinnyt huomattavaa tilansäästöä ja tätä kautta entistä pienikokoisempia tuotteita. Samalla on kuitenkin huomioitava, ettei kehitys ole aina ollut eduksi tuotteen luotettavuuden kannalta. Suurikokoiset jalalliset komponentit ovat erittäin luotettavia rakenteeltaan, sillä komponentin jalat ovat joustavat ja pystyvät tätä kautta vaimentamaan liitosalustan ja komponentin lämpölaajenemisen eroista johtuvia termisiä jännityksiä. Esim. BGA-komponenteissa itse juotosliitokset joutuvat suuremmalle rasitukselle varsinkin, jos itse komponentti on rakenteeltaan jäykkä. Komponenttikoteloiden koon pieneneminen ja liitostiheyden kasvu vaikuttavat liitoksen kokemaan termomekaaniseen jännitystilaan pääasiassa kahdella tavalla. Komponentin koon pieneneminen pienentää jännitystä, koska lämpölaajenemisesta aiheutuva dimensioiden epäsopivuus on verrannollinen komponentin kokoon. Toisaalta liitoksen korkeuden pieneneminen kasvattaa liitoksen kokemaa leikkausjännitystä. Flip-chip-liittämisen yleistymiseen viime vuosina on vaikuttanut ratkaisevasti välitäyttömateriaalien käyttö komponentin ja piirilevyn välissä. Piin ja tavallisen piirilevymateriaalin välisen lämpölaajenemisen epäsopivuus on niin suuri, että ilman välitäyttömateriaaleja ei flip-chip-liittämistä voi toteuttaa riittävän luotettavana liitosrakenteena. Itse asiassa välitäyttömateriaali liittää komponentin ja liitosalustan mekaanisesti niin lujasti kiinni toisiinsa, että termomekaaninen epäsopivuus purkautuu komponentin ja liitosalustan jouston kautta ja juoteliitosten kokema jännitystila vastaavasti pienenee. Avainasemaan tulee

tällöin välitetyttömateriaalin luotettavuus, sen adheesio komponenttiin ja alustaan sekä liitoksen lujuuden säilyminen todellisissa käyttöolosuhteissa.

Pienikokoisissa liitoksissa ongelmaksi voi tulla myös liitosmateriaalien epähomogeenisuus ja siitä aiheutuva vaihtelu liitosten ominaisuuksissa. Erilaiset rajapintavaikutukset tulevat myös pienikokoisissa liitoksissa merkittäviksi. Rajapintametallointien lähistölle muodostuu juotosprosessissa metallien välisiä yhdisteitä, jotka voivat poiketa mekaanisilta ja sähköisiltä ominaisuuksiltaan huomattavasti itse juotemateriaalin ominaisuuksista.

Erilaiset migraatioilmiöt voivat tulla myös erittäin merkittäviksi vikaantumismekanismeiksi tiheissä komponenteissa, liitoksissa ja liitosalustoissa. Elektromigraatio voi joutaa kapean johtimen resistanssin kasvuun ja jopa sen katkeamiseen käytössä kuukausien tai vuosien kuluessa. Mekanismina on ionien liike johtimessa elektronien liikkeeseen nähden vastakkaisessa suunnassa. Tästä voi aiheutua huokosia tai materiaalikerääntymiä johtimeen ja tätä kautta johtimen vikaantumiseen. Sähkökemiallisessa migraatiossa vikaantumisen lähtökohtana voi olla piirilevyn pinnassa oleva elektrolyyttikalvo, johon epäpuhtausionien, esim. halidi-ionien ja DC-jännitteen, vaikutuksesta kasvaa sähköä johtavia metallifilamentteja (dendriittejä).

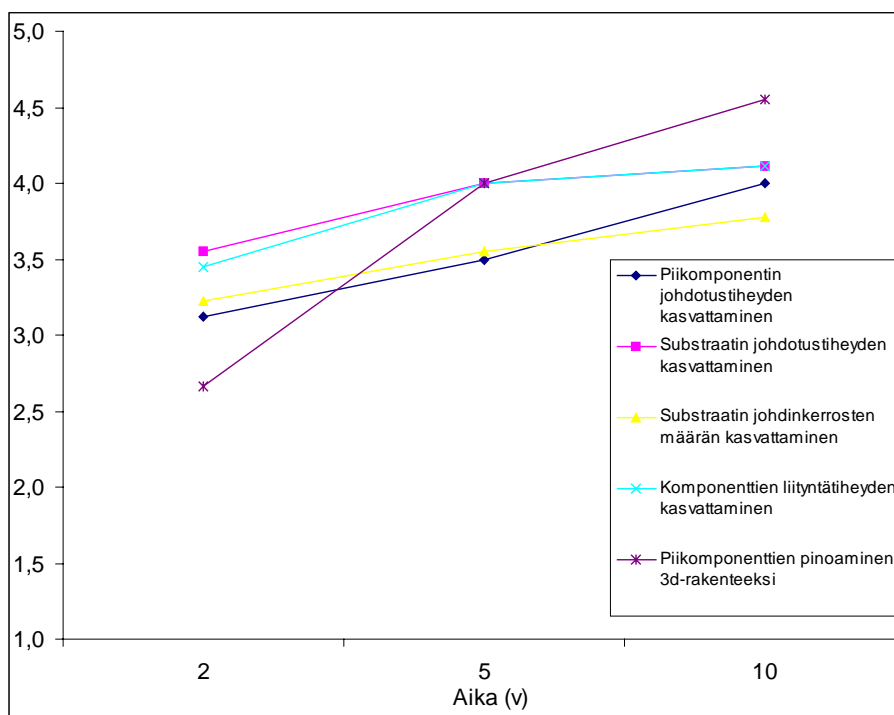
Luotettavuuskysymyksessä merkittävään asemaan nousevat myös karakterisointimenetelmät. Jotta saanto pysyy yhä nopeutuvassa tuotannossa (ja samalla kontaktitiheyksien kasvaessa), tarvitaan nopeita on-line-mittausmenetelmiä – mukaan lukien mittalaitteet – sekä myös nopeita ohjelmistoja, joilla pystytään mahdollisimman pienestä mittausdatasta analysoimaan monimutkaistenkin piirien toiminnallisuus sekä löytämään prosessin ongelmakohdat.

## 8. Kyselytutkimuksen tulokset

Asiantuntijoiden arvioita komponentti- ja pakkaustekniikoiden kehityksestä kartoitettiin liitteessä olevalla kyselykaavakkeella, johon on myös lisätty vastauksista lasketut numeroarvioiden keskiarvot ja yhteenveto sanallisista arvioista. Kyselyn jakelu oli varsin rajoitettu, sillä se lähetettiin vain Oulun alueella toimivan NCEM-yhteisön (Northern Center for Electronics Manufacturing) työryhmälle, joka käsittelee pakkaus- ja liitosteknologioihin liittyviä asioita. Koska jakelun laajuus oli n. 15 kpl ja vastauksia saatiin yhdeksän kappaletta kahdeksalta eri yritykseltä tai organisaatiolta, ovat tulokset luonnostaan varsin suuntaa-antavia.

Kysymysryhmässä, jossa kysyttiin eri kehitystekijöiden merkitystä tuotteen kilpailukyvyyn kannalta, vastaajat totesivat valmistuskustannusten minimoinnin kaikkein tärkeimmäksi. Erittäin tärkeiksi koettiin myös miniatyrisointi, luotettavuuden optimointi, suorituskyvyn nostaminen, moniteknisen suunnittelun hallinta, tehonkulutuksen pienentäminen, tuotekehityksen nopeus, muistikapasiteetin lisääminen sekä lämmön hallinta. Myös mm. optoelektroniikan integrointi ja ympäristöasioiden huomioiminen saivat piskeitä keskiarvoilla 3,6 eli nekin koettiin jokseenkin tärkeiksi.

Elektroniikan kehityksessä vallalla olleen Mooren lain mukainen kehitystrendi koettiin kaikkien vastaajien kohdalla tärkeäksi tai vähintäänkin jokseenkin tärkeäksi. Mikroprosessorien ja ASIC-piirien osalta eräät vastaajat kokivat sen erittäin tärkeäksi.

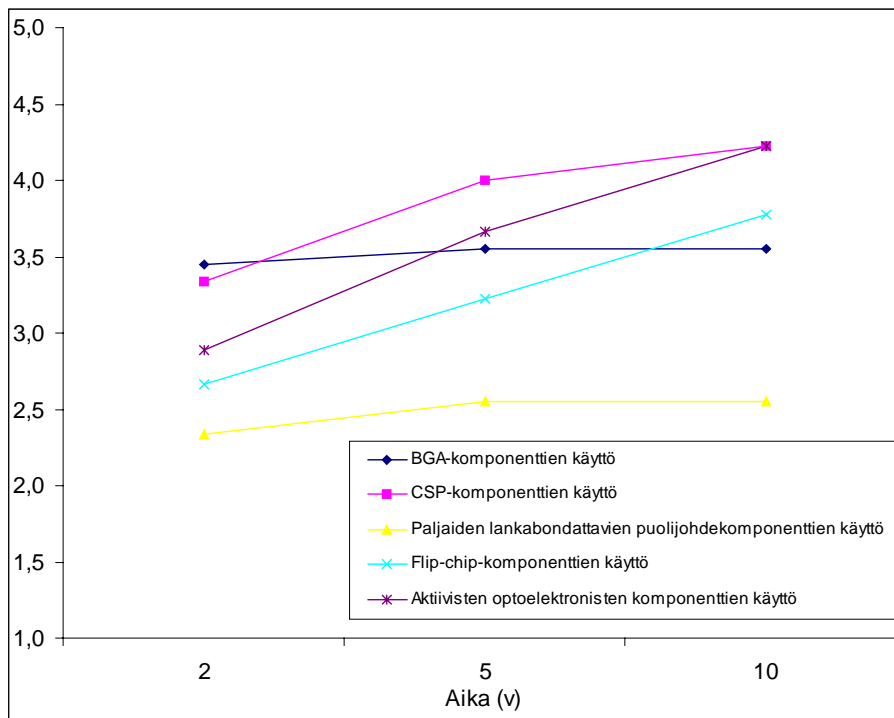


Kuva 8.1. Miniaturisointitapojen merkitys.

Kysyttäessä eri ratkaisujen merkitystä signaalien siirron tehokkuuden ja signaalien integriteetin säilyttämisen kannalta merkittäväksi arvioitiin vähähäviöisten, pienen dielektrisyydevakion omaavien eristemateriaalien kehittäminen liitosalustoille, komponenttien liityntöjen pituuksien lyhentäminen 3D-ratkaisuilla ja ennen kaikkea optiikan hyödyntäminen moduuli- ja laitetason liityntöissä. Myös koteloimattomien komponenttien käyttö koettiin melko tärkeäksi samoin kuin johdinmateriaalien johtavuuden parantaminen sekä liitosalustalla että piillä.

Miniatyrisoinnin keinoihin liittyvissä kysymyksissä esille nousi voimakkaimmaksi kehitystrendiksi piikomponenttien pinoaminen toistensa päälle 3D-rakenteiksi. Johdotustiheyden kasvattamiseen eri hierarkiataasoilla, johdinkerrosten määrän kasvattamiseen ja komponenttien liityntätiheyden kasvattamiseen uskotaan myös vahvasti (Kuva 8.1).

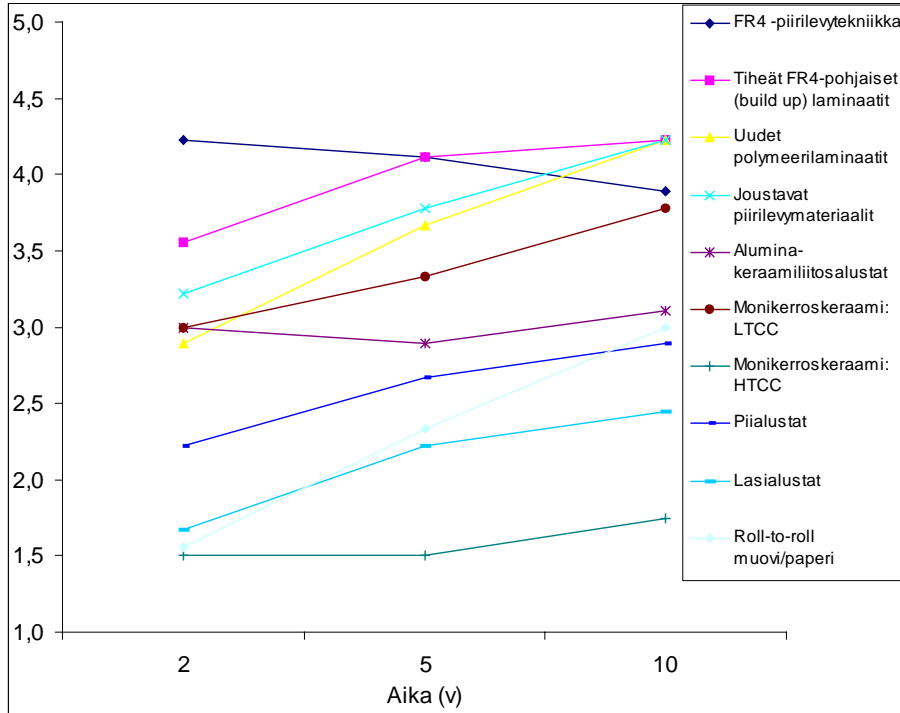
Eri komponenttikotelotyyppeiden kohdalla BGA- ja CSP-komponentit katsotaan jo nyt jokseenkin merkityksellisiksi ja kasvua ennustetaan ennen kaikkea CSP-tyypeille (Kuva 8.2). Flip-chip-komponentit eivät vastaajien mukaan olleet vielä kovin merkittäviä, mutta niille odotetaan kuitenkin selvää kasvua. Paljaiden lankabondattavien puolijohdekomponenttien käyttöä ei katsottu erityisen tärkeäksi miniatyrisoinnin kannalta.



Kuva 8.2. Eri komponenttityyppien käytön kehitys.

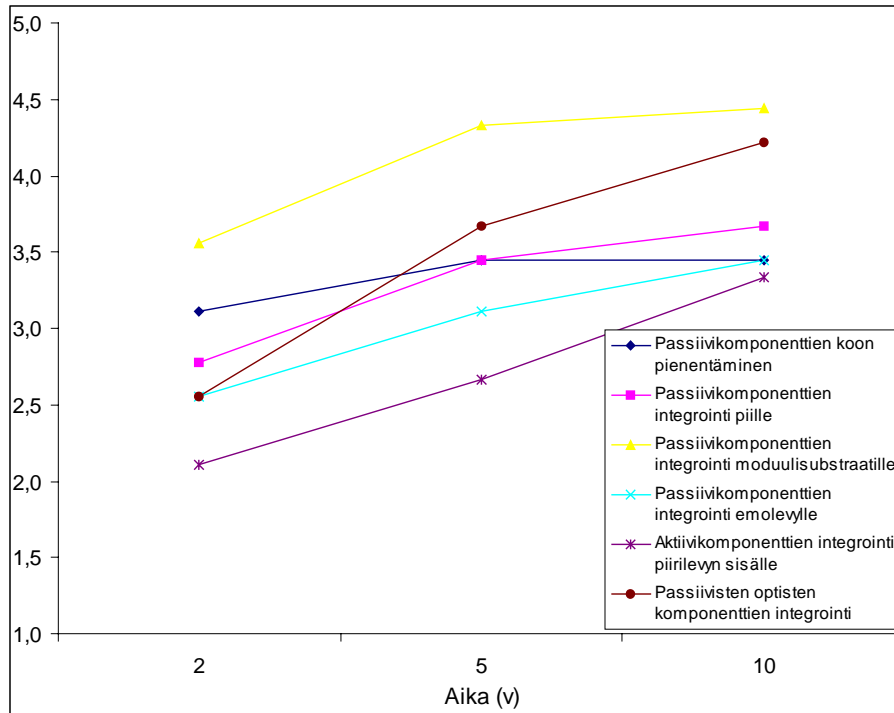
Liitosalustoista FR-4-tyyppiset liitosalustat säilyttävät asemansa (Kuva 8.3). Varsinkin tiheiden build-up-tyyppisten piirilevyjen, uusien polymeerilaminaattien ja joustavien

piirilevyjen merkityksen ennustetaan kasvavan. Keraamisubstraateista LTCC:n merkityksen ennustetaan kasvavan selvästi. Perinteiset alumina-keramiikkasubstraatit säilyttävät asemansa kohtalaisen merkittävänä liitosalustoina. Sen sijaan HTCC-monikerroskeraamit eivät ole kiinnostavia tämän asiantuntijajoukon vastauksissa.

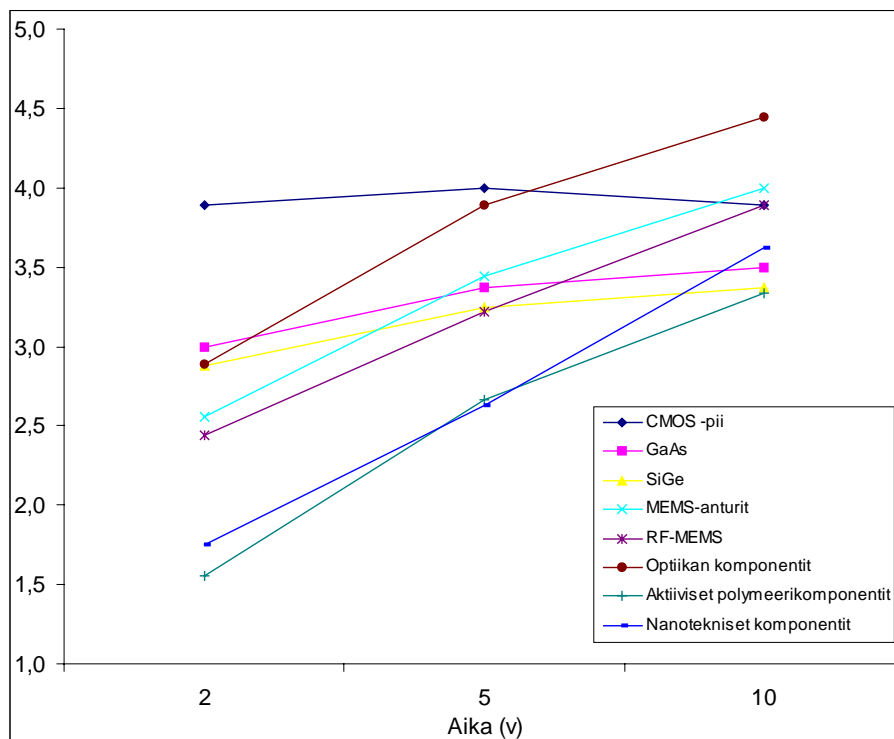


Kuva 8.3. Liitosalustatekniikoiden merkityksen kehitys.

Passiivikomponenttien integrointiin on tulevaisuudessa tarvetta yhä enemmän. Sen sijaan ei näytä olevan selvää mielihetkeä siitä, mihin integrointi kannattaisi toteuttaa: piille, moduulisubstraatille vaiko emolevyille (Kuva 8.4). Moduulisubstraatille tapahtuva integrointi koettiin tässä tutkimuksessa kuitenkin tärkeimmäksi.



Kuva 8.4. Passiivi- ja aktiivikomponenttien integroinnin merkitys miniatyrisoinnin kannalta.



Kuva 8.5. Komponenttitekniologioiden merkityksen kehitys.



Komponenttityypeistä CMOS-pii on tärkeä jatkossakin, vaikka muiden komponenttityyppien, kuten GaAs:n, SiGe:n, MEMS-antureiden, RF-MEMS-komponenttien, nanokomponenttien ja optiikan komponenttien osuuden ennustetaan tulevaisuudessa kasvavan (Kuva 8.5).

Optoelektroniikan merkityksen kasvuun kymmenen vuoden aikajänteellä näytetään uskottavan. Uusista pakkausratkaisuista varsinkin piikomponenttien pinoaminen 3D-rakenteiksi näyttää merkitykselliseltä sekä miniatyrisoinnin että signaalien siirron tehokkuuden kannalta.

Kysymysryhmään, jossa kysyttiin eri teema-alueiden avaintekijöitä/tärkeimpiä kehityslinjoja ja toisaalta rajoittavia tekijöitä kahdella eri aikajänteellä, tuli vastauksia vain hyvin rajoitetusti. Näissä vastauksissa (Liite A) nähtiin mm. IC-prosessointiteknologian kehitys rajoittavaksi tekijäksi kolmella eri teema-alueella: suorituskyvyn nostamisessa tehonkulutusta nostamatta, muisti- ja tallennuskapasiteetin lisäämisessä komponenttien liitäntäalan kasvamatta ja signaalien integriteetin säilymisessä kasvavilla taajuuksilla. Näistä keskimmaisessä se on myös tärkein avaintekijä 3D-paketointitekniikoiden ohella. Lämmönhallinta on tärkeää luotettavuuden säilymisen kannalta jo lyhyemmällä aikaskaalalla 5–10 vuotta ja suorituskyvyn kannalta ainakin pidemmällä tulevaisuudessa.

## 9. Kehityskohteet elektroniikan komponenttien pakkaus- ja liitostekniikoissa

### 9.1 Yleisiä suosituksia

Suomen kannalta on tärkeää erikoistua ja kehittää teknologioita, joissa vaaditaan korkeaa osaamista. Suomi ei voi kilpailla yksinkertaisilla tuotteilla ja teknologioilla, jotka on helposti siirrettävissä halvan työvoiman maihin.

Infrastruktuurin kehittäminen on olennaisen tärkeää uusien teknologioiden käyttöönotossa. Eri standardien kehitystyöhön kannattaa osallistua aktiivisesti. Suunnittelu- ja mallinnusosaaminen korostuu tulevaisuuden tuotteissa. Osaavan henkilöstön koulutukseen on myös panostettava, jotta korkea osaamistaso säilyy.

Suomessa on jo tehty ja tehdään paljon tutkimusta liitos- ja pakkaustekniikoissa, mutta tutkimustieto on hajaantunut useisiin pieniin tutkimusyksiköihin. Olemassa olevan tiedon hyödyntämisessä on parantamisen varaa.

Komponenttitekniikoiden kehitys on yhä harvempien komponenttivalmistajien vastuulla, koska uusien puolijohdeprosessien vaatimat investoinnit ovat kasvamassa voimakkaasti. Suomen tulee erikoistua ydinosaamiseensa myös komponenttitekniikoissa. Erikoistumisalueita voivat olla mm. optoelektroniset komponentit, MEMS-komponentit, RF-ID, ASIC-komponentit, massavalmistettavat polymeerikomponentit (roll-to roll), biosensorit ja bio-MEMS-komponentit.

Miniatyrisoinnissa on saavutettavissa huomattavaa kehitystä uusien 3D-liitos- ja pakkaustekniikoiden käyttöönotolla. Asiakasspesifisten mikromoduulien (System on Package, SOP) kehitys on olennaista uusien sovellutusten, kuten esim. läsnäällysovellutusten (ubiquitous computing), kannalta. Tiivis yhteistyö sovellusosaajien ja pakkaus- ja liitostekniikan osaajien kesken on tärkeää.

Tärkeinä kehityskohteina ovat integroidut mikromoduulit, joissa samaan moduuliin, samalle liitosalustalle yhdistetään perinteisten puolijohdekomponenttien ja niiden tarvitsemien johdotusten lisäksi mm. optiikkaa, RF-elektroniikkaa, MEMS-antureita ja RF-MEMS-komponentteja ja integroitua passiivikomponentteja sekä erilaisia tarkkoja mekaanisia rakenteita, kuten läpivientejä, kanavia, syvennyksiä ja suojakansia.

Olisi toivottavaa, että Suomessa kehittyisi myös elektroniikan komponenttien pakkaustekniikkaan ja erityisesti miniatyrimoduulien massavalmistukseen keskittyvää liiketoimintaa, joka pystyisi vastaamaan uusien sovellusten edellyttämiin hintavaatimuksiin.

## 9.2 Kehityskohteita elektroniikan toteutustekniikoissa

Selvitystyön perusteella voidaan määritellä kehityskohteita, joilla tarvitaan voimakasta ja pitkäjänteistä tutkimus-, kehitys- ja koulutuspanostusta lähimpien 5–10 vuoden aikajänteellä. Nämä on alla jaoteltu kuuteen aihepiiriin, joiden sisällöstä on tehty ehdotuksia tutkimusteemoiksi.

### 1. Elektroniikan suunnittelu- ja mallinnusosaamisen kehittäminen

- monitekniisten, mekaniikkaa, fotonikkaa ja elektroniikkaa sisältävien tuotteiden suunnittelijoiden koulutus
- uudet 3D-mallinnus-, suunnittelu- ja analyysityökalut
  - optiikan suunnittelu- ja mallinnusmenetelmät osaksi elektroniikan suunnittelua
  - passiivikomponenttien sijoituksen optimointi
  - johdotusten optimointi signaali-integriteetin kannalta
  - komponentti- ja materiaalikirjastot
  - liitosten luotettavuuden termomekaaninen mallinnus
  - toteutuskustannusten arviointimenetelmät
  - ympäristövaikutusten arviointityökalut
- standardien kehittäminen.

### 2. Monitekologiset elektroniikkamoduulit

- tiheät SOP-moduulipakkaustekniikat
- 3D-rakenteet, 3D-moduulipakkausten ja nanorakenteiden suunnittelu
- teknologioiden yhdistäminen samalle liitosalustalle: CMOS-Si, GaAs, SiGe, nanokomponentit, polymeerikomponentit, MEMS-anturit, RF-MEMS, aktiiviset ja passiiviset optokomponentit, tarkat optiset liittynät, bioanturit, aktuaattorit, polttokennot, integroidut passiivit, suodattimet, antennit
- kiekkotason pakkaaminen herkille MEMS-komponenteille.

### 3. Substraatit

- alle 50  $\mu\text{m}$  viivanleveys ja alle 50  $\mu\text{m}$  mikroläpiviennit (jäykät ja joustavat alustat)
- additiiviset valmistusmenetelmät
- haudatut läpiviennit
- kerrosmäärä  $>20$
- liitosalustat hyvin tiheisiin SOP- ja MCM-moduuleihin
- tiheiden FC ( $<250 \mu\text{m}$ ), 0201 passiivien, MEMS- ja optoelektronisten komponenttien liittäminen
- korkean stabiilisuuden alustat
- haudatut aktiiviset ja passiiviset komponentit liitosalustassa

- uudet haudattujen komponenttien liittämismenetelmät
- R, L, C, IC, MEMS, opto/RF, heatsink, magnetic core...
- uudet materiaalit haudattujen passiivien toteutukseen
- optiseen tiedonsiirtoon soveltuvat valokanavamateriaalit
- prosessiyhteensopivat materiaalit ja menetelmät mm. optisten valokanavien ja elementtien valmistukseen
- ympäristöasioiden huomioiminen.

#### 4. Tiheät, tarkat ja luotettavat liitostekniikat

- optokomponenttien automatisoitu ja tehokas kokoonpano (kuten elektroniikassa)
- additiiviset suoraliitostekniikat liitosalustalta komponenteille
- pinottujen piisirujen liitostekniikat ja ohennetut piisirut
- nystytystekniikat
- erittäin tiheiden liitosten liimaliitostekniikat
- hyvin lämpöä johtavat liitokset
- migraation vaikutus liitosten luotettavuuteen
- ympäristöasioiden huomioiminen.

#### 5. Systemitason ja moduulitason testausmenetelmät

- uudet testaus- ja vika-analyysityökalut
- testaussuunnittelu ja sen työkalut, testaussuunnittelu osaksi laitesuunnittelua
- standardien kehitys.

#### 6. Polymeerielektroniikan massavalmistuksen menetelmät

- materiaalikehitys
- painetut johtimet, tarkkuuspaino, gravure, inkjet, kuumapaino
- liitostekniikat, pakkaus
- luotettavuuden kehitys
- ympäristöasioiden huomioiminen
- pakkauksiin integroitujen sensorien kehitys
- joustavien näyttöelementtien kehitys.

Elektroniikan kehityksessä seuraavat kymmenen vuotta tulevat olemaan mielenkiintoinen ja haasteellinen ajanjakso. Noin satavuotisen historiansa aikana elektroniikka on käsitteenä laajentunut niin paljon, että yksittäinen ihminen ei voi hallita kuin murto-osan sen aihepiiristä. Mikroelektroniikan aikakaudella 1960-luvulla alkaneessa Mooren lain mukaisessa integraatiotiheyden valtavassa kasvussa lähestytään äärimmäisiä rajoja, jolloin komponenttien dimensiot lähestyvät atomien mittoja ja prosessointiteknologioiden kehityksessä tarvitaan suunnattomia kehityspanoksia. Mikroelektroniikasta ollaankin siirtymässä nanoelektroniikan aikakauteen. Onneksi piille tapahtuva integrointi on vain yksi osa-alue elektroniikan toteutuksesta. Miniatyrisoinnissakin voidaan saavuttaa huomatta-

vaa edistystä panostamalla komponenttien liitos- ja pakkaustekniikoihin, joista edellä ehdotetut tutkimusaiheet ovat eräitä esimerkkejä. Liitos- ja pakkaustekniikoissakin on suuria haasteita näköpiirissä. Systemit mutkistuvat, mistä syystä niiden suunnittelu ja testaus tulevat äärimmäisen vaikeiksi. Valmistustekniikoiden kehityksessä vallitsee jatkuva kilpailutilanne saavutettavien ominaisuushyötyjen, kustannustehokkuuden ja investointitarpeiden suhteen. Fotoniikan käyttöönotto ja uusien polymeerimateriaalien soveltaminen puhumattakaan uusista bioelektroniikan sovelluksista vaativat aivan uudentyyppistä koulutustaustaa ja osaamista, kuin mitä perinteinen elektroniikkainsinöörin koulutus tarjoaa. Suomen kannalta olisi tärkeää kuitenkin luoda edellytyksiä uusille aluevaltauksille elektroniikan soveltamisessa ja olla mukana kehittämässä uusia moniteknologisia ratkaisuja. Sitä varten tarvitaan jatkossakin riittävä ja riittävän monipuolinen infrastruktuuri myös elektroniikan toteutuksesta. Tämä voidaan varmistaa vain riittäväillä kehityspanoksilla tutkimukseen, tuotekehitykseen ja koulutukseen.

## Lähdeluettelo

- [Barnwell2001] Barnwell, P. et al. IMAPS Ceramic Interconnect Initiative, 2001.
- [Beelen2002] Beelen-Hendrikx, C. & Verguld, M. IC Packaging: What's Around the Corner. OnBoard Technology, Oct. 2002, s. 28–31.
- [Chou1997] Chou, S. Y., Krauss, P. R., Zhang, W., Guo, L. & Zhauang, L. J. Vac. Sci Technology B 15 (1997), s. 2897–2904.
- [GARNER2000] Garner, M. Materials for Continued Scaling of Integrated Circuits. 3<sup>rd</sup> International Conference on Materials for Microelectronics (MFM2000), 16.–17. October 2000, Dublin, Ireland.
- [Griese2002] Griese, E. Optical Interconnection Technology for PCB Applications. PC Fab, June 2002.
- [ITRS2001] International Technology Roadmap for Semiconductors 2001 (<http://www.itrs.net/>). European Semiconductor Industry Association, Japan Electronics and Information Technology Industries Association, Korean Semiconductor Industry Association, Taiwan Semiconductor Industry Association, Semiconductor Industry Association.
- [ITRS2002] International Technology Roadmap for Semiconductors 2002 Update. European Semiconductor Industry Association, Japan Electronics and Information Technology Industries Association, Korean Semiconductor Industry Association, Taiwan Semiconductor Industry Association, Semiconductor Industry Association.
- [JEITA2001] Japan Jisso Technology Roadmap, 2001 Edition. Japan Electronics & Information Technology Industries Association.
- [Marcanti2001] Marcanti, L. & Dougherty, J. P. Embedded Passives: Promising Improved Performance. Circuits Assembly, July 2001, s. 28–39.
- [McElroy2002] McElroy; J. Panel: "North American Manufacturing: What will the Future Bring?" NEMI, IPC Annual Meeting – SMEMA Council, November 4, 2002, New Orleans.
- NEMI: National Electronics Manufacturing Initiative Inc (<http://www.nemi.org/>; myös: Dougherty, J., Galvagni, J., Marcanti, L., Sandborn, P., Charbonneau, R. & Sheffield, R. The NEMI Roadmap Perspective on Integrated Passives, Nortel, May 2001).

[Ourmazd1999] A. Ourmazd's (Institute for Semiconductor Physics, Frankfurt (Oder)): "Oil, Icecream and Nanotechnology" at INFOS99, the 11th Biennial Conference on Insulating Films on Semiconductors, June 16–19, 1999, Lichtenfels, Germany.

[PIDEA2001] PIDEA White Book, 27th September, 2001.

[Syed2001] Syed, A. Reliability of Lead-Free Solder Connections for Area-Array Packages. Presented at IPC SMTA Council APEX 2001.

[Tummala2002] Tummala, R. SOC, SIP, and SOP: The Pros and Cons for Next-Generation Convergent Systems. IMAPS Nordic 2002, Tukholma, 2002. S. 8–14.

[Tuominen2000] Tuominen, R. & Kivilahti, J. K. A Novel IMB Technology for Integrating Active and Passive Components. The Proc. of The 4th International Conference on Adhesive Joining & Coating Technology in Electronics Manufacturing, 18–21 June 2000, Helsinki. S. 269–273.

[Viklund2002] Viklund, P. Embedded Passives Coming of Age. OnBoard Technology, Oct. 2002, s. 58–60.

# Liite A: Kyselykaavake

## Kyselyvastausten yhteenveto

Vastauksissa asteikko 1...5 (1. ei merkitystä, 5 erittäin merkittävä)

Mainitut luvut saatujen vastausten keskiarvoja.

<b>1. Millaisina näette seuraavien kehitystekijöiden merkityksen tuotteidenne kilpailukyvyyn kannalta?</b>	
Suorituskyvyn nostaminen	4,2
Muistikapasiteetin lisääminen	3,8
Elektroniikan miniaturisointi	4,5
Optoelektroniikan integrointi	3,6
Luotettavuuden optimointi	4,3
Ympäristöasioiden huomioiminen	3,6
Tehonkulutuksen pienentäminen/energian syöttö	4,1
Lämmön hallinta	4,1
Moniteknisen suunnittelun hallinta	4,1
Tuotekehityksen nopeus	4,1
Valmistuskustannusten minimointi	4,7
Kokoonpanoautomaatio	3,5
Muu, mikä? - Tehokkaat työkalut	
<b>2. Arvioi seuraavien ratkaisujen merkitystä signaalien siirron tehokkuuden ja signaalien integriteetin kannalta</b>	
Johdinmateriaalien johtavuuden kasvattaminen piillä	3,4
Johdinmateriaalien johtavuuden kasvattaminen liitosalustalla	3,6
Komponentin ja liitosalustan välisen liitosresistanssin pienentäminen	3,2
Koteloimattomien puolijohdekomponenttien käyttö koteloitujen sijasta	3,6
Vähähäviöisten eristemateriaalien kehittäminen piillä	2,9
Pienen dielektrisyysvakion eristemateriaalien kehittäminen piillä	3,0
Vähähäviöisten eristemateriaalien kehittäminen piillä	2,5
Vähähäviöisten eristemateriaalien kehittäminen liitosalustoilla	3,9
Pienen dielektrisyysvakion eristemateriaalien kehittäminen liitosalustoille	3,9
Komponenttien liityntöjen pituuksien lyhentäminen 3d-liitosratkaisuilla	3,9
Optiikan hyödyntäminen moduuli- ja laitetason liitynnöissä	4,1
Muilla keinoin/millä? – Tehokkaat koodausmenetelmät, pieniamplitudiset menetelmät; ohut elektroniikka	

<b>3. Elektroniikan kehityksessä on ollut pitkään vallalla ns. Mooren lain mukainen kehitystrendi. Kuinka tärkeäksi näette ko. trendin jatkumisen vielä n. 10 vuotta eteenpäin seuraavien komponenttityyppien kannalta.</b>		
DRAM		3,1
SDRAM		3,5
Mikroprosessorit		3,6
ASIC		3,9
Muu komponenttityyppi/mikä? - FPGA tms. Korvaa ASIC piirejä tai se integroituu ASIC:iin; RF-IC:t; passiivit, liitosalustat		
<b>4. Arvioi seuraavien aktiivikomponenttien teknologioiden merkitystä yrityksenne kannalta ao. aikajänteillä</b>		
CMOS -pii	2 vuotta	3,9
	5 vuotta	4,0
	10 vuotta	3,9
GaAs	2 vuotta	3,0
	5 vuotta	3,4
	10 vuotta	3,5
SiGe	2 vuotta	2,9
	5 vuotta	3,3
	10 vuotta	3,4
MEMS-anturit	2 vuotta	2,6
	5 vuotta	3,4
	10 vuotta	4,0
RF-MEMS	2 vuotta	2,4
	5 vuotta	3,2
	10 vuotta	3,9
Optiikan komponentit	2 vuotta	2,9
	5 vuotta	3,9
	10 vuotta	4,4
Aktiiviset polymeerikomponentit	2 vuotta	1,6
	5 vuotta	2,7
	10 vuotta	3,3
Nanotekniset komponentit	2 vuotta	1,8
	5 vuotta	2,6
	10 vuotta	3,6
Muu/mikä? - Energian tallennus; aktiivikuorirakenteet		



5. Arvioi seuraavien teknologisten ratkaisujen merkitystä tuotteidenne miniatyrisoinnin kannalta ao. aikajänteillä		
Piikomponentin johdotustiheyden kasvattaminen	2 vuotta	3,1
	5 vuotta	3,5
	10 vuotta	4,0
Substraatin johdotustiheyden kasvattaminen	2 vuotta	3,6
	5 vuotta	4,0
	10 vuotta	4,1
Substraatin johdinkerrosten määrän kasvattaminen	2 vuotta	3,2
	5 vuotta	3,6
	10 vuotta	3,8
Komponenttien liityntätiheyden kasvattaminen	2 vuotta	3,4
	5 vuotta	4,0
	10 vuotta	4,1
BGA-komponenttien käyttö	2 vuotta	3,4
	5 vuotta	3,6
	10 vuotta	3,6
CSP-komponenttien käyttö	2 vuotta	3,3
	5 vuotta	4,0
	10 vuotta	4,2
Paljaiden lankabondattavien puolijohdekomponenttien käyttö	2 vuotta	2,3
	5 vuotta	2,6
	10 vuotta	2,6
Flip-chip -komponenttien käyttö	2 vuotta	2,7
	5 vuotta	3,2
	10 vuotta	3,8
Passiivikomponenttien koon pienentäminen	2 vuotta	3,1
	5 vuotta	3,4
	10 vuotta	3,4
Passiivikomponenttien integrointi piille	2 vuotta	2,8
	5 vuotta	3,4
	10 vuotta	3,7
Passiivikomponenttien integrointi moduulisubstraatile	2 vuotta	3,6
	5 vuotta	4,3
	10 vuotta	4,4
Passiivikomponenttien integrointi emolevyille	2 vuotta	2,6
	5 vuotta	3,1
	10 vuotta	3,4
Piikomponenttien pinoaminen 3d-rakenteeksi	2 vuotta	2,7
	5 vuotta	4,0
	10 vuotta	4,6
Aktiivikomponenttien integrointi piirilevyn sisälle	2 vuotta	2,1
	5 vuotta	2,7
	10 vuotta	3,3
Passiivisten optisten komponenttien integrointi	2 vuotta	2,6
	5 vuotta	3,7
	10 vuotta	4,2
Aktiivisten optoelektronisten komponenttien käyttö	2 vuotta	2,9
	5 vuotta	3,7
	10 vuotta	4,2

6. Arvioi seuraavien liitosalustatekniikoiden merkitystä yrityksenne kannalta ao. aikajänteillä		
FR4-piirilevyteknikka	2 vuotta	4,2
	5 vuotta	4,1
	10 vuotta	3,9
Tiheät FR4-pohjaiset (build up) laminaatit	2 vuotta	3,6
	5 vuotta	4,1
	10 vuotta	4,2
Uudet polymeerilaminaatit	2 vuotta	2,9
	5 vuotta	3,7
	10 vuotta	4,2
Joustavat piirilevymateriaalit	2 vuotta	3,2
	5 vuotta	3,8
	10 vuotta	4,2
Alumina-keramiiliitosalustat	2 vuotta	3,0
	5 vuotta	2,9
	10 vuotta	3,1
Monikerroskeraamialustat LTCC	2 vuotta	3,0
	5 vuotta	3,3
	10 vuotta	3,8
Monikerroskeraamialustat HTCC	2 vuotta	1,5
	5 vuotta	1,5
	10 vuotta	1,8
Piialustat	2 vuotta	2,2
	5 vuotta	2,7
	10 vuotta	2,9
Lasialustat	2 vuotta	1,7
	5 vuotta	2,2
	10 vuotta	2,4
Roll-to-roll muovi/paperi	2 vuotta	1,6
	5 vuotta	2,3
	10 vuotta	3,0
Muu/mikä? - "Minimal waste"; materiaalihävikin minimointi, inkjet johdotus,...		

Seuraavassa voitte esittää mielipiteenne seuraavista tavoiteasetteluista:

Mitkä te/teidän yrityksenne näkee mainitulla ajanjaksolla avaintekijöiksi/tärkeimmiksi kehityslinjoiksi ja kriittisiksi/rajoittaviksi tekijöiksi selvityksemme pääaihealueilla?

<b>A. Suorituskyvyn nostaminen tehonkulutusta nostamatta</b>		
Avaintekijät/tärkeimmät kehityslinjat	aikavälillä 5–10v	Monitekninen integrointi, rinnakkaissuunnittelu (sähköinen, termomekaaninen); koodaus- ja pieni amplitudi/miniatyrisointi; hyötysuhteen parantaminen; materiaalikehitys, johdin- ja eristehäviöiden sekä hajakapasitanssin minimointi uusilla materiaaleilla; pakkaustiheyden kasvattaminen, optinen tiedonsiirto, piirien lämmöntuotto/jäähdytys, käytettävä jännite
	aikavälillä yli 10v	Liitosmenetelmien kehittäminen MEMS-, opto- ja nanokomponenteille; miniatyrisointi ja koodaus; hyötysuhteen parantaminen; komponenttien integrointi, jolla lyhennetään signaalien kuljetusmatkaa; uudet innovaatiot, ajattelutavan muutos >> suunnittelun integroituminen, piirien lämmöntuotto/ jäähdytys, käytettävä jännite
Rajoittavat tekijät	aikavälillä 5–10v	Tutkimusrahoitus, resurssit; käytössä olevan teknologian rajoitteet, IC-prosessiteknologia; tila ja lämmönsiirto; hinta; kaupallisesti saatavilla olevat materiaalit: tarjonta rajoittunut ja kustannukset korkeat
	aikavälillä yli 10v	Tutkimusrahoitus, resurssit; käytössä olevat teknologiat, IC-prosessiteknologia; tila ja lämmönsiirto; fysikaaliset rajoitteet; hinta, "Rajoittava tekijä voi löytyä yleensä liiketoiminnan kehittymisestä, jos uusia sovelluksia ei synny, ei tarvita uusia teknologioitakaan.",
<b>B. Muisti- ja tallennuskapasiteetin lisääminen komponenttien liitäntäalan kasvattamatta</b>		
Avaintekijät/tärkeimmät kehityslinjat	aikavälillä 5–10v	IC-prosessiteknologia; pinoamis-/pakkaamistekniikat, 3D-paketointi (voi jopa kiihdyttää Mooren lain mukaista kehitystä!), passiivikomponenttikehitys; integrointiasteen lisääminen
	aikavälillä yli 10v	IC-prosessiteknologia, 3D-paketointi; uudet innovaatiot (nanoputket, kvanttitekniikka..)
Rajoittavat tekijät	aikavälillä 5–10v	valmistusteknologia, IC-prosessiteknologia, SW kehityksen synkronointi HW kehityksen kanssa; materiaalit,
	aikavälillä yli 10v	IC-prosessiteknologia, SW kehityksen synkronointi HW kehityksen kanssa; fysikaaliset rajoitteet

<b>C. Signaalien integriteetin säilyminen kasvavilla taajuuksilla</b>		
Avaintekijät/tärkeimmät kehityslinjat	aikavälillä 5–10v	Koodaus; lyhyet siirtoetäisyydet; ohut elektroniikka, materiaalikehitys, vähäviöiset johtimet; pieni amplitudi; liitosalustat: piirilevymateriaalit kehittyvät
	aikavälillä yli 10v	Koodaus; lyhyet siirtoetäisyydet; pieni amplitudi; materiaalikehitys, passiivien integrointi levyille
Rajoittavat tekijät	aikavälillä 5–10v	IC-prosessiteknologia, EMC, tehonkulutus; fysikaaliset rajoitteet, perinteisten piirilevyjen RF – ominaisuudet; hinta
	aikavälillä yli 10v	IC-prosessiteknologia, EMC, tehonkulutus; fysikaaliset rajoitteet, hinta
<b>D. Luotettavuuden säilyminen yhä tiheämmillä alustoilla ja liitännöillä</b>		
Avaintekijät/tärkeimmät kehityslinjat	aikavälillä 5–10v	Suunnittelun hallinta, materiaalitietous, valmistusprosessit; systeemitason testaus; lämpökapasiteetin hallinta; käytetyt materiaalit, liitosalustat, liitosteknologiat
	aikavälillä yli 10v	Mikrotason fysikaalisten ja kemiallisten ilmiöiden ymmärtäminen; systeemitason testaus; lämpökapasiteetin hallinta; materiaalikehitys, liitosteknologiat
Rajoittavat tekijät	aikavälillä 5–10v	Panostus luotettavuustutkimukseen; kompleksisuus; EMC ja häiriösietoisuus; fysikaaliset rajoitteet, perinteisten piirilevyjen lämpöominaisuudet, hinta, 3D-alueella suunnitelluinfran kehitys on tärkeä, ja voi olla rajoittava tekijä
	aikavälillä yli 10v	Koulutus, kehitystoiminnan rahoitus; hinta, kompleksisuus; EMC ja häiriösietoisuus; fysikaaliset rajoitteet

Tekijä(t) Lenkkeri, Jaakko, Majamaa, Tero, Jaakola, Tuomo, Karppinen, Mikko & Kololuoma, Terho			
Nimeke <b>Tulevaisuuden elektroniikan pakkaus- ja komponenttitekniikat</b>			
Tiivistelmä  <p>Julkaisussa selvitetään tulevaisuuden elektroniikan pakkaus- ja komponenttitekniikoiden kehitystä niin kansainvälisesti kuin kansalliseltakin pohjalta. Painopisteenä ovat elektroniikassa dominoivassa asemassa oleva miniatyrisointikehitys ja sen aiheuttamat tarpeet tekniikkoihin pitkällä aikavälillä.</p> <p>Julkaisussa käydään läpi tärkeimpiä elektroniikan toteutusteknologioita ja niiden kehitysodotuksia ja -tarpeita sekä näiden suhdetta laitteiden suorituskyvyn nostamiseen, muisti- ja tallennuskapasiteetin lisäämiseen, signaali-integriteettiin sekä luotettavuuteen.</p> <p>Tärkeimmät kehityskohteet, joihin dimensioiden pientymisen ja toleranssivaatimusten kasvun lisäksi selvityksen perusteella on päädytty, painottuvat laitteiden modulaarisuuden lisääntymiseen, yhä uusien elektroniikka-, foniikka ja mekaanisten komponenttien yhdistämiseen, moniteknisyyttä tukevien 3D-suunnittelu- ja testaustyökalujen ja menetelmien kehittämiseen sekä uusien materiaalien käyttöönottoon.</p>			
Avainsanat electronics packaging, component technologies, miniatyrisation, increasing modularity			
Toimintayksikkö VTT Elektroniikka, Kaitoväylä 1, PL 1100, 90571 OULU			
ISBN 951-38-6183-X (URL: <a href="http://www.vtt.fi/inf/pdf/">http://www.vtt.fi/inf/pdf/</a> )			Projektinumero E2SU00368
Julkaisuaika Syyskuu 2003	Kieli Suomi, engl. tiiv.	Sivuja 78 s. + liitt. 4 s.	Hinta –
Projektin nimi		Toimeksiantaja(t) Tekes	
Avainnimeke ja ISSN VTT Tiedotteita – Research Notes 1455-0865 (URL: <a href="http://www.vtt.fi/inf/pdf/">http://www.vtt.fi/inf/pdf/</a> )		Julkaisija: VTT Tietopalvelu PL 2000, 02044 VTT Puh. (09) 456 4404 Faksi (09) 456 4374	

Published by



Series title, number and  
report code of publication

VTT Research Notes 2213  
VTT-TIED-2213

Author(s) Lenkkeri, Jaakko, Majamaa, Tero, Jaakola, Tuomo, Karppinen, Mikko & Kololuoma, Terho			
Title <b>Packaging and component technologies of future electronics</b>			
Abstract <p>The report includes surveys of future trends in electronics packaging and component technologies from both international and national standpoints. The emphasis of the report is in the miniaturisation of electronics and in its consequences on to technologies in the long term.</p> <p>The report includes many of the most important technologies in electronics manufacturing, their expectations and needs as well as their relationship to the increasing effectiveness of electronics circuits, increasing memory and data storage capacity, signal integrity and reliability of the circuits.</p> <p>Besides the trends of decreasing dimensions and increasing tolerance demands in electronics the most important targets of development are increasing modularity of devices, combining of electronics, photonics and mechanical components into same devices, development of new 3-dimensional design and testing tools and introducing new electronics materials.</p>			
Keywords electronics packaging, component technologies, miniaturisation, increasing modularity			
Activity unit VTT Electronics, Kaitoväylä 1, P.O.Box 1100, FIN-90571 OULU, Finland			
ISBN 951-38-6183-X (URL: <a href="http://www.vtt.fi/inf/pdf/">http://www.vtt.fi/inf/pdf/</a> )		Project number E2SU00368	
Date September 2003	Language Finnish, Engl. abstr.	Pages 78 p. + app. 4 p.	Price -
Name of project		Commissioned by Tekes	
Series title and ISSN VTT Tiedotteita – Research Notes 1455-0865 (URL: <a href="http://www.vtt.fi/inf/pdf/">http://www.vtt.fi/inf/pdf/</a> )		Publisher VTT Information Service P.O.Box 2000, FIN-02044 VTT, Finland Phone internat. +358 9 456 4404 Fax +358 9 456 4374	

VTT TIEDOTTEITA – RESEARCH NOTES

VTT ELEKTRONIIKKA – VTT ELEKTRONIK – VTT ELECTRONICS

- 1911 Holappa, Mikko S. CORBAn soveltaminen joustavan valmistusjärjestelmän perusohjelmistoon. 1998. 95 s.
- 1913 Salmela, Mika. Testausympäristön konfigurointityökalun käytettävyyden parantaminen. 1998. 56 s.
- 1914 Korpipää, Tomi. Hajautusalustan suunnittelu reaaliaikasovelluksessa. 1998. 56 s. + liitt. 4 s.
- 1927 Lumpus, Jarmo. Kenttäväyläverkon automaattinen konfigurointi 1998. 68 s. + liitt. 3 s.
- 1933 Ihme, Tuomas, Kumara, Pekka, Suihkonen, Keijo, Holsti, Niklas & Paakko, Matti. Developing application frameworks for mission-critical software. Using space applications as an example. 1998. 92 p. + app. 20 p.
- 1965 Niemelä, Eila. Elektroniikkatuotannon joustavan ohjauksen tietotekninen infrastruktuuri. 1999. 42 s.
- 1985 Rauhala, Tapani. Javan luokkakirjasto testitapauseditorin toteutuksessa. 1999. 68 s.
- 2042 Kääriäinen, Jukka, Savolainen, Pekka, Taramaa, Jorma & Leppälä, Kari. Product Data Management (PDM). Design, exchange and integration viewpoints. 2000. 104 p.
- 2046 Savikko, Vesa-Pekka. EPOC-sovellusten rakentaminen. 2000. 56 s. + liitt. 36 s.
- 2065 Sihvonon, Markus. A user side framework for Composite Capability / Preference Profile negotiation. 2000. 54 p. + app. 4 p.
- 2088 Korva, Jari. Adaptiivisten verkkopalvelujen käyttöliittymät. 2001. 71 s. + liitt. 4 s.
- 2092 Kärki, Matti. Testing of object-oriented software. Utilisation of the UML in testing. 2001. 69 p. + app. 6 p.
- 2095 Seppänen, Veikko, Helander, Nina, Niemelä, Eila & Komi-Sirviö, Seija. Towards original software component manufacturing. 2001. 105 p.
- 2114 Sachinopoulou, Anna. Multidimensional Visualization. 2001. 37 p.
- 2129 Aihkisalo, Tommi. Remote maintenance and development of home automation applications. 2002. 85 p.
- 2130 Tikkanen, Aki. Jatkuva-aikaisten multimediasovellusten kehitysalusta. 2002. 55 s.
- 2157 Pääkkönen, Pekka. Kodin verkotettujen laitteiden palveluiden hyödyntäminen. 2002. 69 s.
- 2160 Hentinen, Markku, Hynnä, Pertti, Lahti, Tapio, Nevala, Kalervo, Vähänikkilä, Aki & Järviluoma, Markku. Värähtelyn ja melun vaimennuskeinot kulkuvälineissä ja liikkuvissa työkoneissa. Laskenta-periaatteita ja käyttöesimerkkejä. 2002. 118 s. + liitt. 164 s.
- 2162 Hongisto, Mika. Mobile data sharing and high availability. 2002. 102 p.
- 2201 Ailisto, Heikki, Kotila, Aija & Strömmer, Esko. Ubicom applications and technologies. 2003. 54 p.
- 2213 Lenkkeri, Jaakko, Marjamaa, Tero, Jaakola, Tuomo, Karppinen, Mikko & Kololuoma, Terho. Tulevaisuuden elektroniikan pakkaus- ja komponenttitekniikat. 2003. 78 s. + liitt. 4 s.